IV. Элементы и узлы ЭВМ

Триггеры

Триггер – логический элемент, который может находиться в одном из двух устойчивых состояний.

S, J – входы установки триггера в «1».

R, K – входы установки триггера в «0».

T – счетный вход триггера.

D – информационный вход триггера D C – вход синхронизации

Q – прямой выход триггера

Q – инверсный выход триггера



по логике:

RS, D, T, JK

по способу приема:

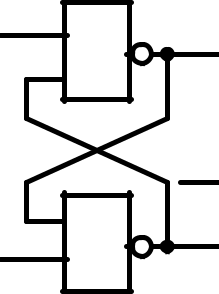
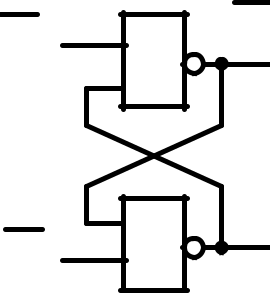
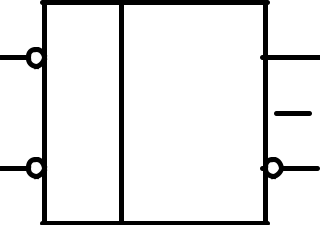
Асинхронные, Синхронные, Одноступенчатые, Двухступенчатые

по способу синхронизации

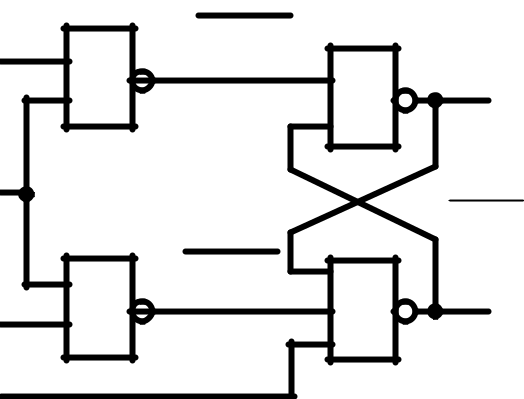
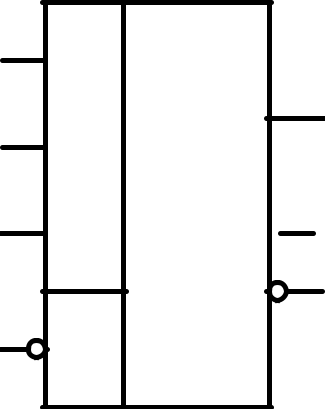
управляемые фронтом/спадом (динамические). управляемые уровнем (защелки)

Одноступенчатый асинхронный RS-триггер

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| S | T Q | R | & | Q | R | 1 | Q |  |
|  |  |  |  |
| R | Q |  | & Q | |  |  | Q |  |
|  | S | S | 1 |  |
|  |  |  |
| 2007 |  | Архитектура ЭВМ | |  | 1 |  |  |  |



Одноступенчатый синхронный RS-триггер

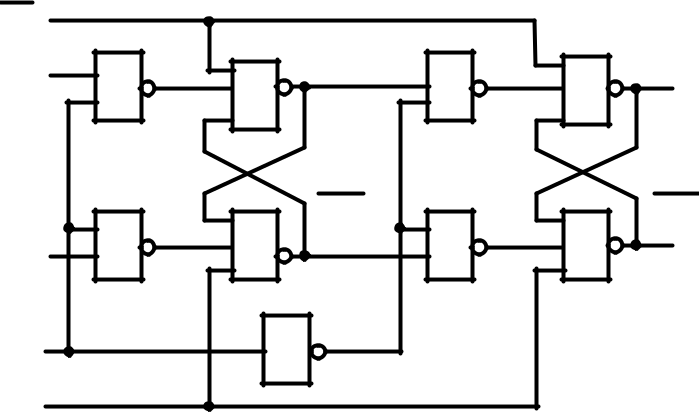


|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| S | & | SC | & | Q | S | T | Q |  |
|  | C |  |  |
| C |  |  |  |  |  |  |  |
|  |  |  | Q | R |  | Q |  |
| R | & | RC | & |  |  |
|  |  |  |  |
|  | R |  |  |  |
|  |  |  |  |  |
| R |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |



Двухступенчатый синхронный RS-триггер

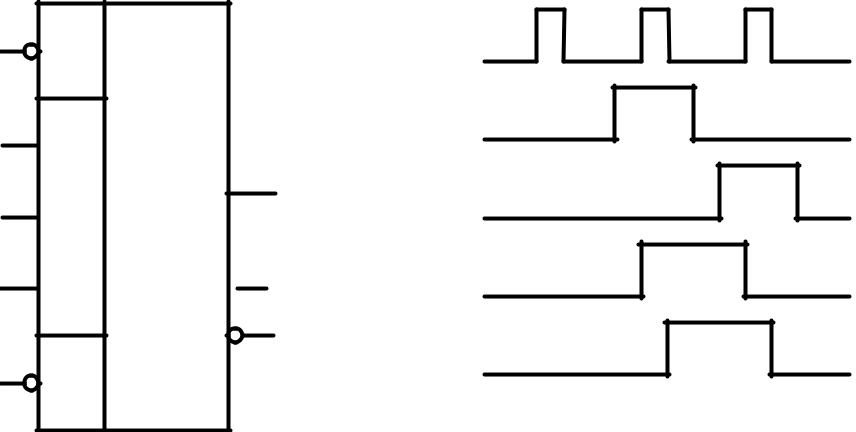
|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| S |  |  | Q1 |  |  | Q2 |  |
| S | & | & | & | & |  |
|  |  |
| R | & | & | Q1 | & | & | Q2 |  |
|  |  |  |



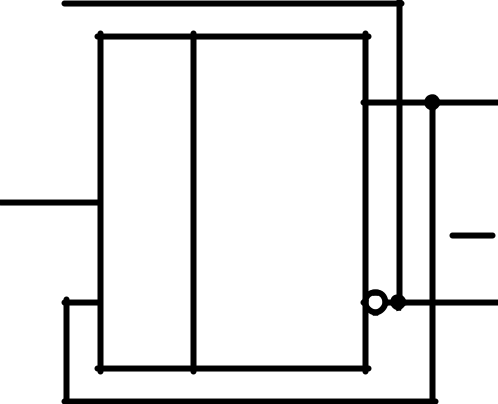
|  |  |
| --- | --- |
| C | 1 |
| R |  |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| S | TT |  | CLK |  |
| S |  |  | S |  |
|  | Q | R |  |
| C |  |  |
|  |  |  |
|  |  | Q1 |  |
| R |  | Q |  |
|  |  |  |
|  |  | Q2 |  |
| R |  |  |  |
|  |  |  |  |



2007 Архитектура ЭВМ 2



 S TT

* C R

T-триггер

Q T



Q

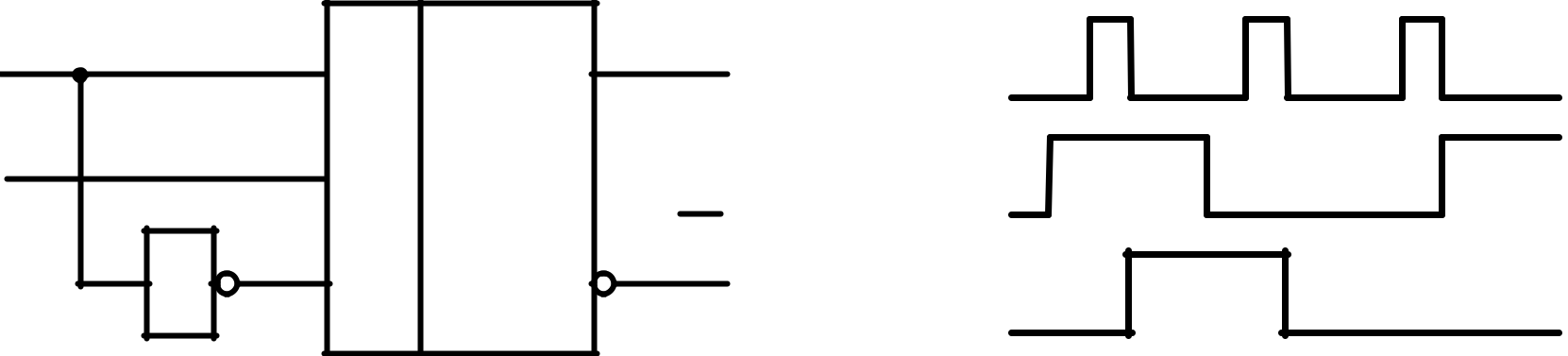


Q Q



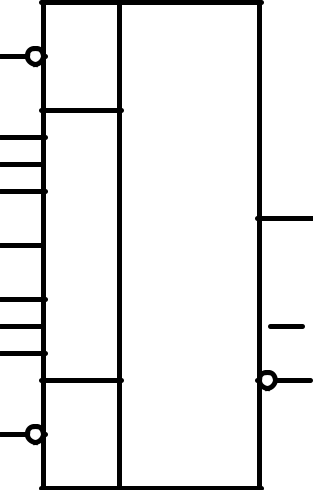
D-триггер

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| D | S TT | Q | CLK |  |
| C | C | Q | D |  |
| 1 | R | Q |  |
|  |  |

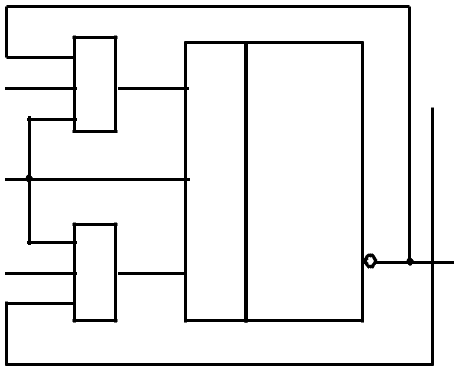


2007 Архитектура ЭВМ 3

JK-триггер



|  |  |  |
| --- | --- | --- |
| S | TT |  |
| & |  |  |
| J | Q |  |
| C |  |  |
| & | Q |  |
| K |  |
| R |  |  |



|  |  |
| --- | --- |
| J | &STT |
| C | C |

|  |  |  |
| --- | --- | --- |
| K | & | R |

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
| J(t) | K(t) | Q(t+1) | Режим |
|  |  |  |  |
| 0 | 0 | Q(t) | Хранение |
|  |  |  |  |
| 0 | 1 | 0 | Установка |
|  |  |  | «0» |
|  |  |  |  |
| 1 | 0 | 1 | Установка |
|  |  |  | «1» |
|  |  |  |  |
| 1 | 1 | Q(t) | Инверсия |
|  |  |  |  |



 Q

Q



2007 Архитектура ЭВМ 4

RS-триггер на основе JK-триггера

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  | Q | | |  |
| S |  | J | TT |  |
|  |  |  |  |  |
| C |  | C |  |  |  |  |  |
|  |  |  |  |  |
| R |  | K |  |  | Q |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |



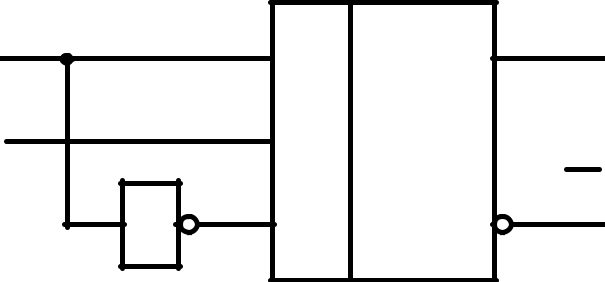
Синхронный T-триггер на основе JK-триггера

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| T |  |  |  |  |  | Q | | |  |
|  |  | J | TT |  |
| C | |  |  |  |  |  |  |
|  |  | C |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  | K |  |  | Q |  |  |
|  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |



D-триггер на основе JK-триггера

|  |  |  |  |
| --- | --- | --- | --- |
| D | J TT | Q |  |
| C | C | Q |  |
| 1 | K |  |
|  |  |



Асинхронный T-триггер на основе JK-триггера

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1 |  |  |  |  |  | Q | | |  |
|  |  | J | TT |  |
| T | |  |  |  |  |  |  |
|  |  | C |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  | K |  |  | Q |  |  |
|  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |

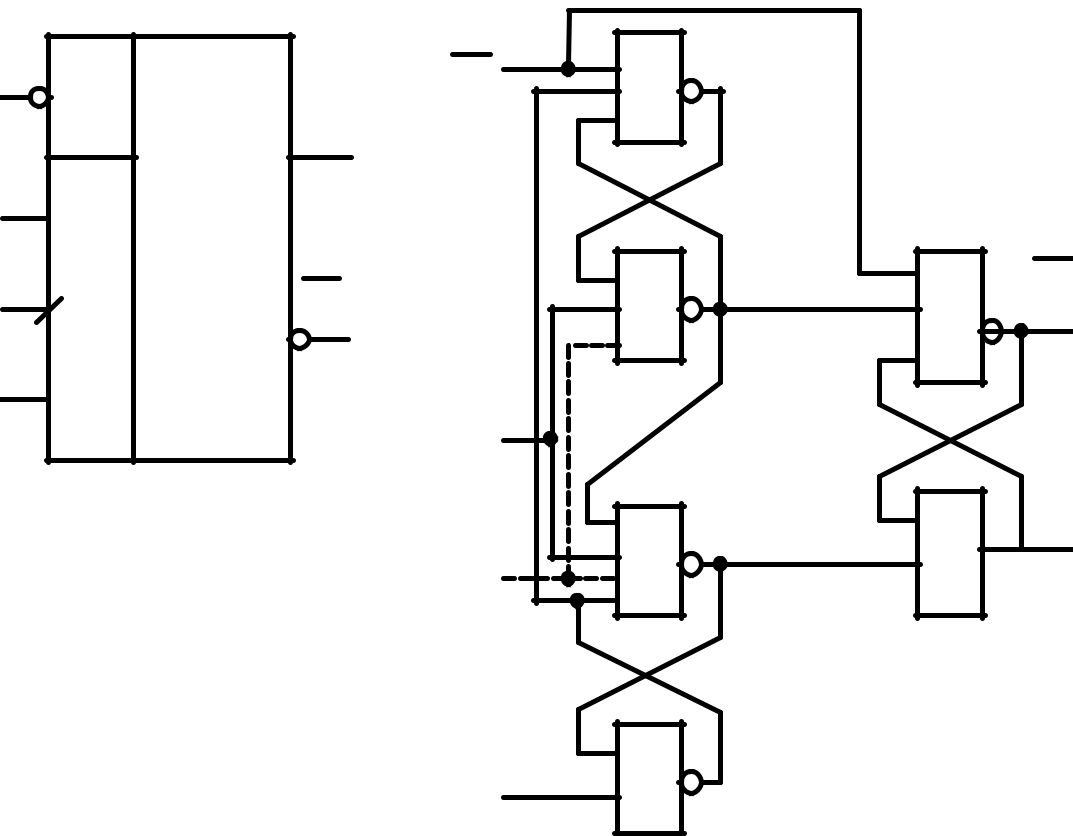


2007 Архитектура ЭВМ 5

|  |  |  |  |
| --- | --- | --- | --- |
|  | Динамические триггеры | |  |
| DV-триггер | Схема DV- | Диаграмма работы |  |
| триггера | DV-триггера |  |
|  |  |



|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| S | T | Q | S | & |  |
|  |  |  | 1 |  |



|  |  |  |  |
| --- | --- | --- | --- |
| D |  |  |  |
| C | Q | & |  |
| V |  | 2 |  |
| C |  |  |
|  |  |  |
|  | V | & |  |
|  | 3 |  |
|  | D | & |  |
|  | 4 |  |

& Q

5

&Q

6

C



D



1



2



3



4



Q



Q



2007 Архитектура ЭВМ 6

Схема трех триггеров



S  & 



1

 & 



2

C

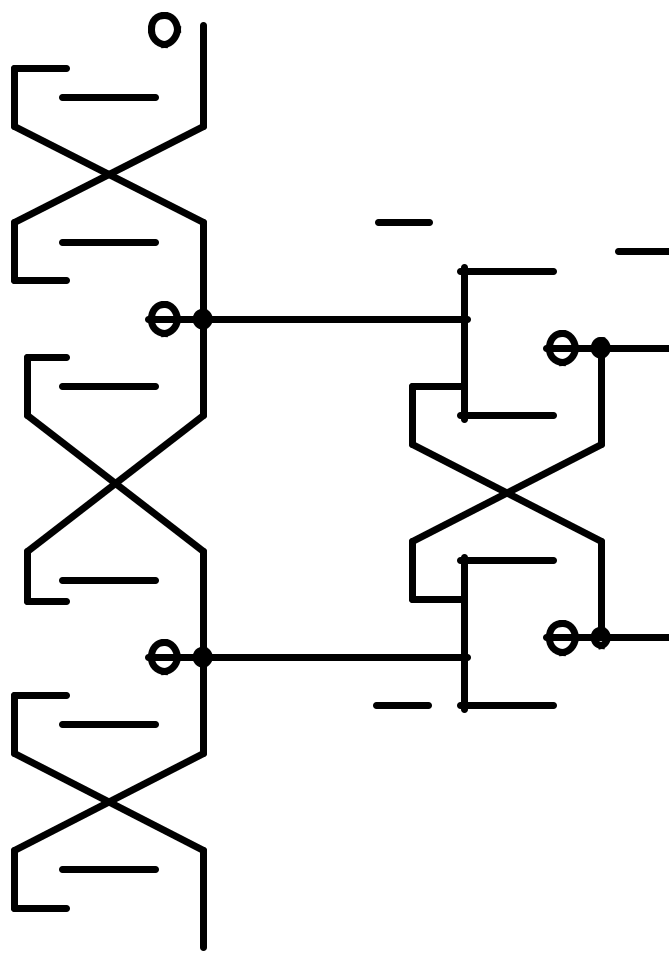
 & 

3

R  &4



R’& Q



5

& Q

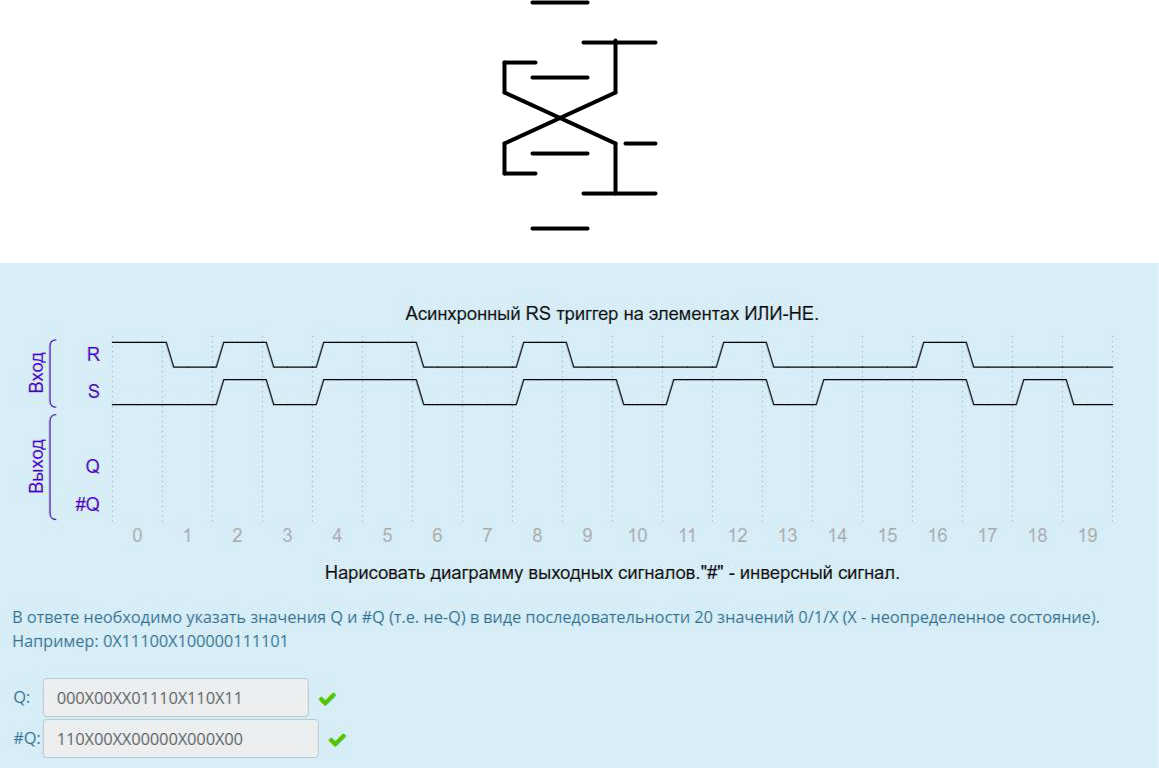
6

S’

2007 Архитектура ЭВМ 7

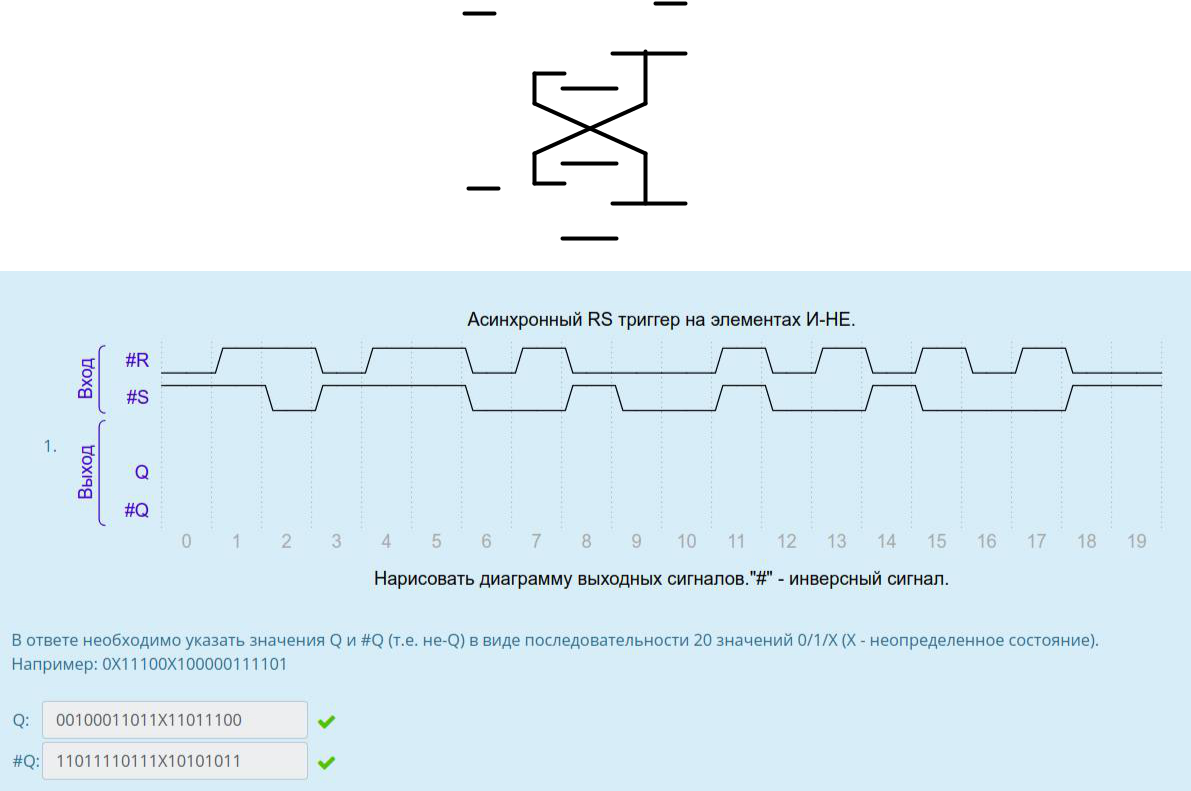
Одноступенчатый асинхронный RS-триггер на элементах ИЛИ-НЕ

*  1 Q S  1 Q



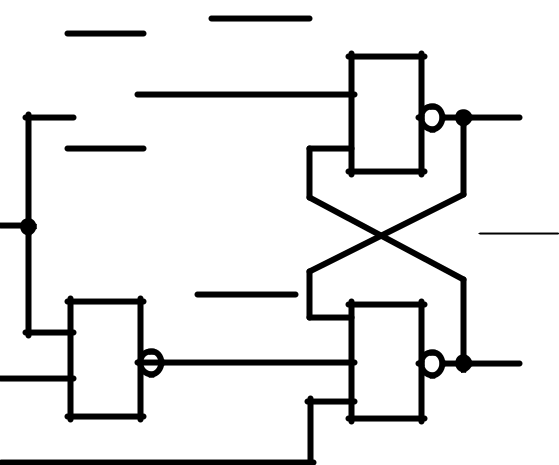
Одноступенчатый асинхронный RS-триггер на элементах И-НЕ

*  & Q S  & Q



Одноступенчатый синхронный RS-триггер на элементах И-НЕ

S  & SC & Q



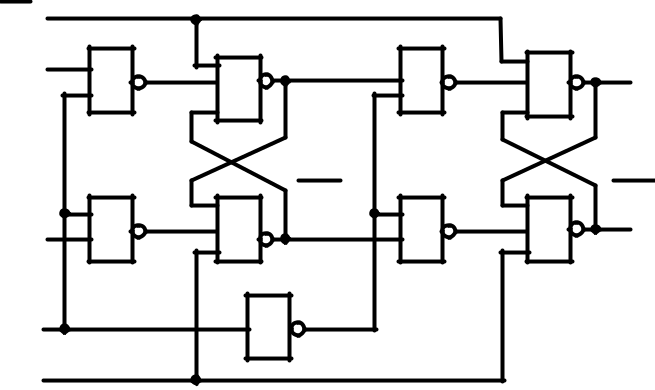
|  |  |  |
| --- | --- | --- |
| C | Q |  |
| R &RC |  |
| & |  |

R

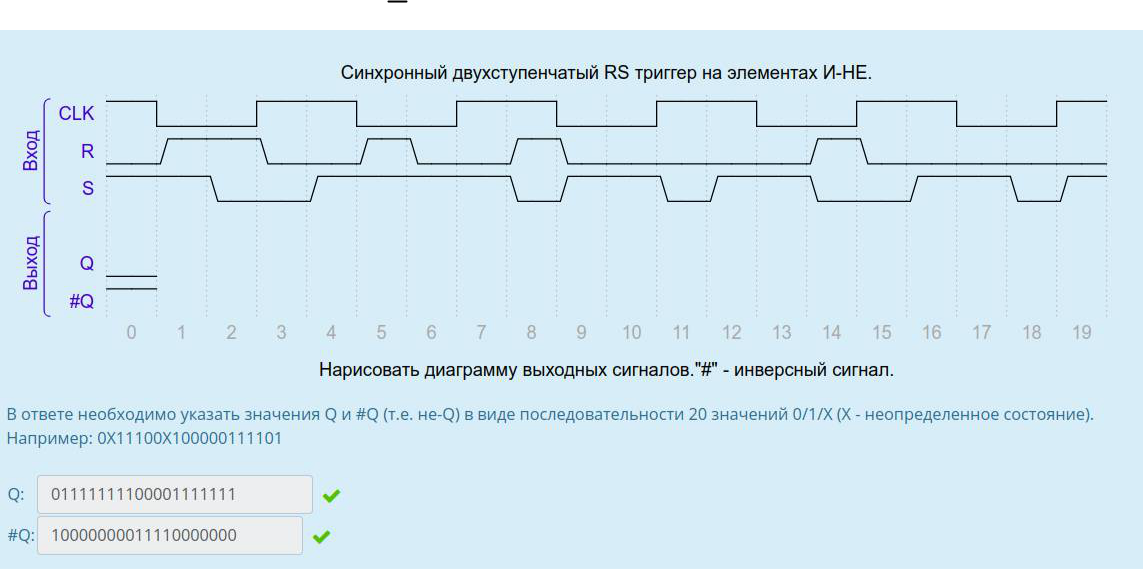
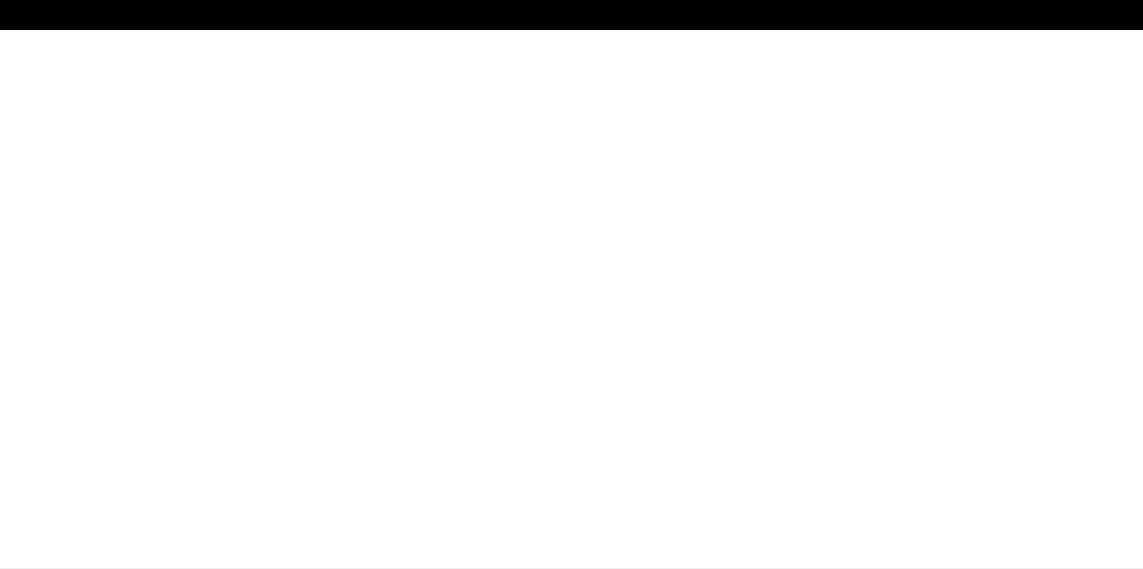


Двухступенчатый синхронный RS-триггер на элементах И-НЕ

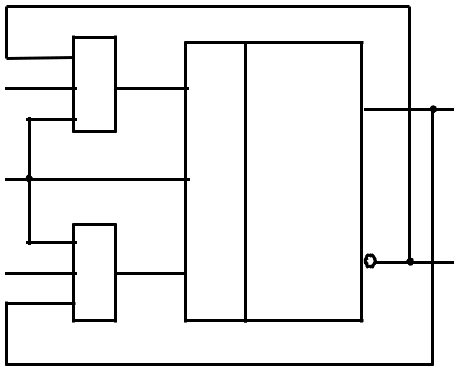
|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| S |  |  | Q1 |  |  | Q2 |  |
| S | & | & | & | & |  |
|  |  |
| R | & | & | Q1 | & | & | Q2 |  |
|  |  |  |



|  |  |
| --- | --- |
| C | 1 |
| R |  |



Двухступенчатый синхронный JK-триггер на элементах И-НЕ

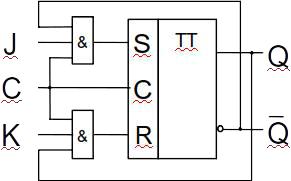


|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| J | &S | TT | Q |  |
| C | C |  |  |
|  |  |  |

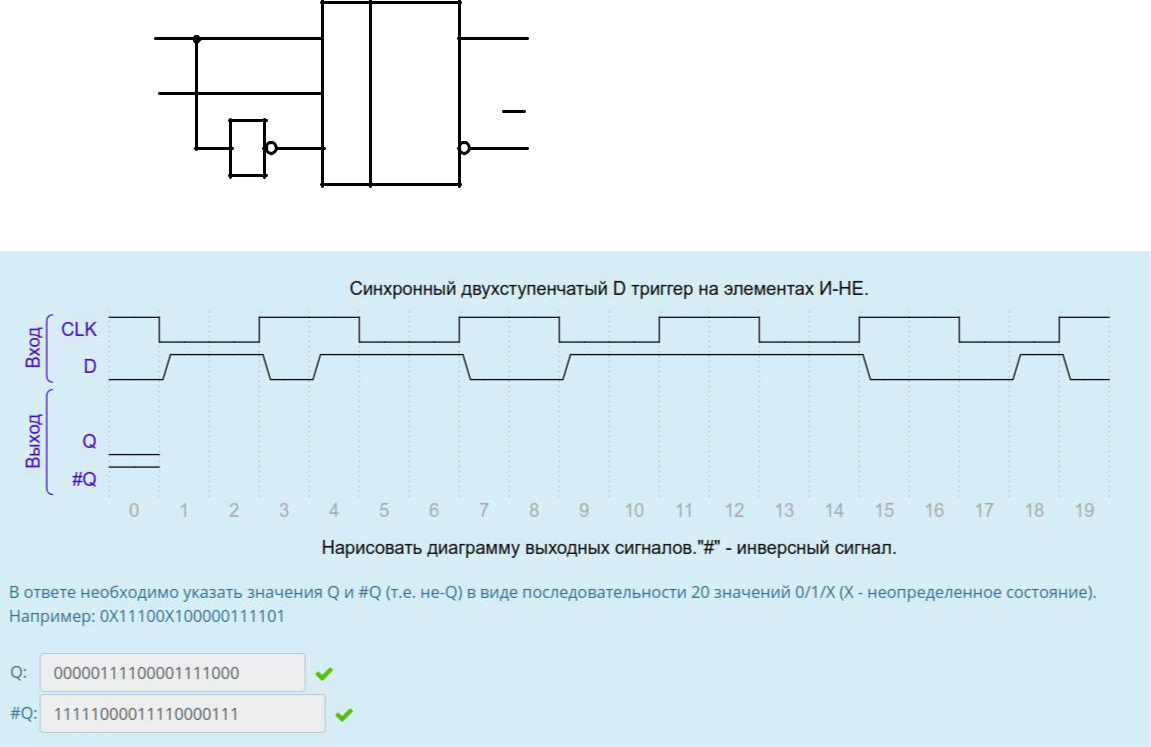
|  |  |  |  |
| --- | --- | --- | --- |
| K | & | R | Q |



Двухступенчатый синхронный D-триггер на элементах И-НЕ



|  |  |  |  |
| --- | --- | --- | --- |
| D | J TT | Q |  |
| C | C | Q |  |
| 1 | K |  |
|  |  |



Динамический D-триггер на элементах И-НЕ



S  & 



1

 & 



2

C

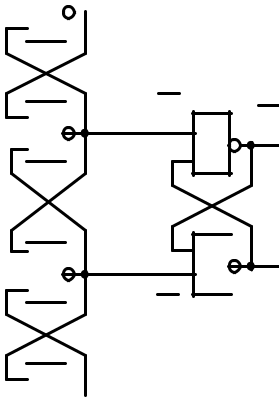
 & 

3

R  &4



R’& Q

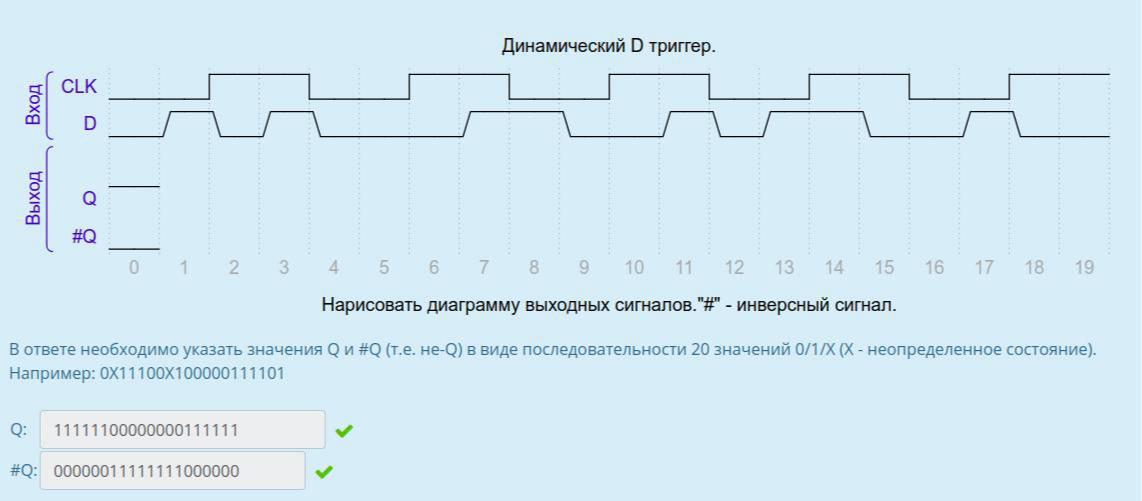


5

& Q

6

S’



Регистры

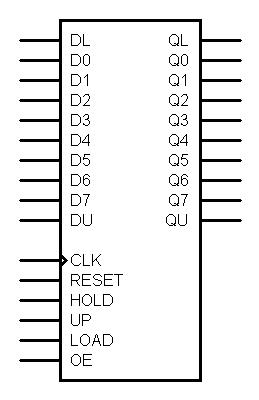
Регистром называется устройство, предназначенное для запоминания слова, а также для выполнения над словом некоторых логических преобразований.

Операции, выполняемые регистром:

* Сброс (установка в 0);
* Прием слова (запись);
* Выдача слова (чтение);
* Сдвиг слова (сдвиг вправо, влево, циклический сдвиг);
* Преобразование параллельного кода в последовательный;
* Поразрядные логические операции.

2007 Архитектура ЭВМ 15

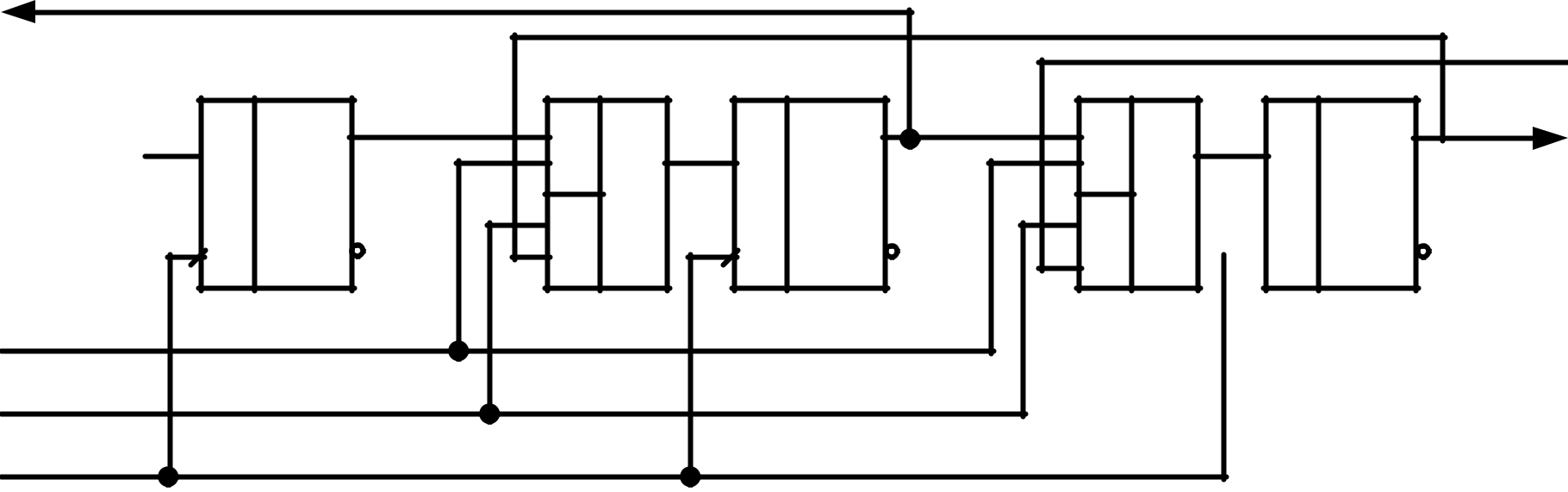
Условное обозначение универсального регистра



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Сигнал |  | Тип |  | Описание | | |
|  |  |  |  |  |  |  |
| CLK |  | Вход | | Синхросигнал | | |
| RESET | Вход | | | Сброс | | |
| LOAD | Вход | | | Разр. загрузки | | |
| HOLD | Вход | | | Запр. сдвига | | |
| UP | Вход | | | Направление | | |
| DL | Вход | | | Младший бит | | |
| DU | Вход | | | Старший бит | | |
| D# | Вход | | | Входное слово | | |
| OE | Вход | | | Разрешение выдачи | | |
| Q# | Выход | | | Выходное слово | | |
| QL | Выход | | | Младший бит | | |
| QU | Выход | | | Старший бит | | |

2007 Архитектура ЭВМ 16

Схема сдвигового регистра



|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| D | T | Q1 | & | 1 | D | T | Q2 | & | 1 |  |
|  |  |  |
| С |  |  | & |  | С |  |  | & |  |  |
|  |  |  |  |  |  |  |  |  |
| Вправо |  |  |  |  |  |  |  |  |  |  |
| Влево |  |  |  |  |  |  |  |  |  |  |
| CLK |  |  |  |  |  |  |  |  |  |  |

DT Q3  С

2007 Архитектура ЭВМ 17

Счетчики

Счетчиком называется узел ЭВМ, предназначенный для подсчета входных сигналов.

Модуль счета: число возможных состояний счетчика.

Классификация счетчиков.

По способу счета: суммирующие, вычитающие, реверсивные.

По модулю счета: двоичные, десятичные, ….

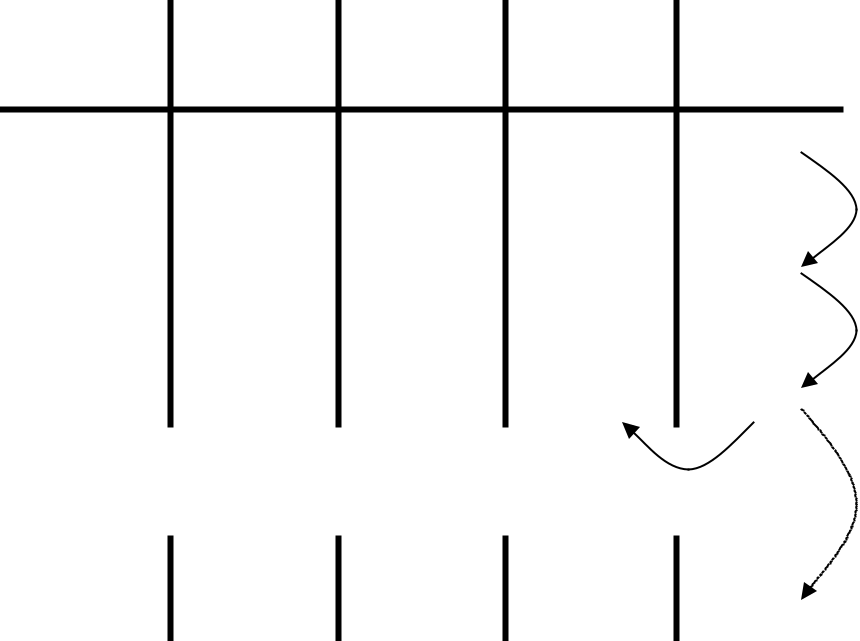
По способу распространения переноса: с параллельным переносом, с последовательным переносом, с групповой структурой.

По способу синхронизации: асинхронные, синхронные.

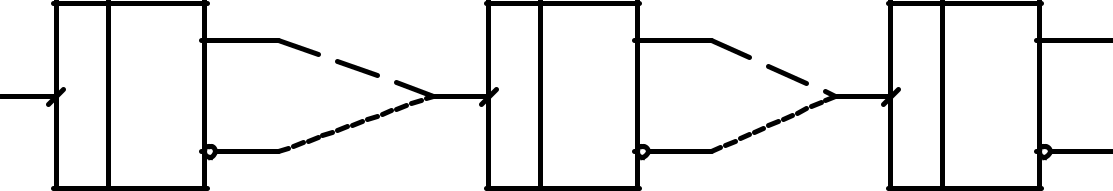
По режиму работы: для подсчета входных сигналов, для деления частоты.

2007 Архитектура ЭВМ 18

Таблица состояний



|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | Xсч | Q4 | Q3 | Q2 | Q1 |  |  |  |
|  |  | 0 | 0 | 0 | 0 | 0 |  |  |  |
|  |  | 1 | 0 | 0 | 0 | 1 |  |  |  |
|  |  | 2 | 0 | 0 | 1 | 0 |  |  |  |
|  |  |  |  | … | **перенос** | |  |  |  |
|  |  | 15 | 1 | 1 | 1 | 1 |  |  |  |
|  |  |  |  | Обратный счет | |  |  |  |  |
|  | T | Q |  | T | Q |  | T | Q |  |
|  |  |  |  |  |  |  |
| T |  | ~~Q~~ |  | T | ~~Q~~ | T |  | ~~Q~~ |  |
|  |  |  |  |  |  |  |



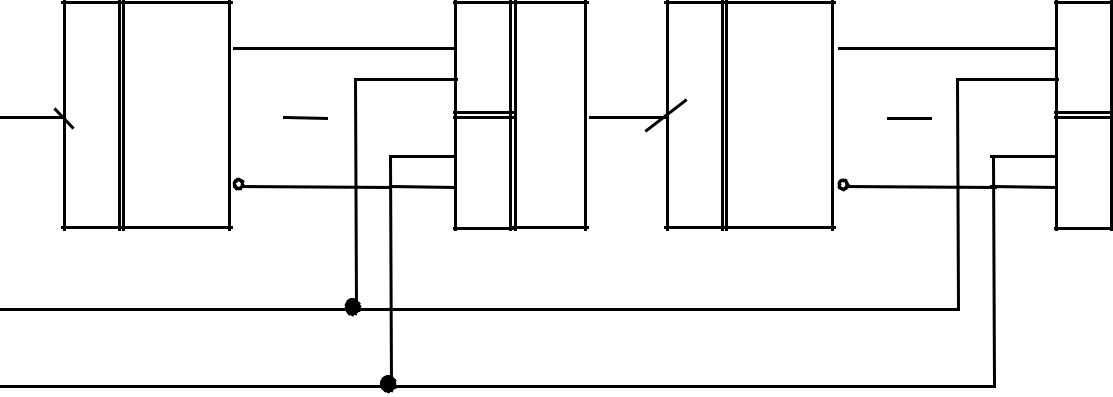
Прямой счет



2007 Архитектура ЭВМ 19

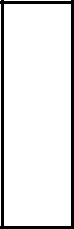
Счетчик с последовательным переносом

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| T | T | Q1 | & | 1 |  |
|  |  |
|  | Q1 |  |  |  |
|  |  | & |  |  |
|  |  |  |  |  |



Обратный счет Прямой счет

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| T | T | Q2 | & | 1 |  |
|  |  |
|  | Q2 |  |  |  |
|  |  | & |  |  |
|  |  |  |  |  |



|  |  |  |  |
| --- | --- | --- | --- |
| T | T | Q3 |  |
| Q3 |  |
|  |  |  |

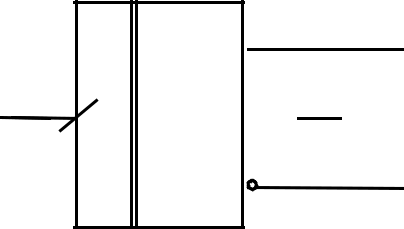
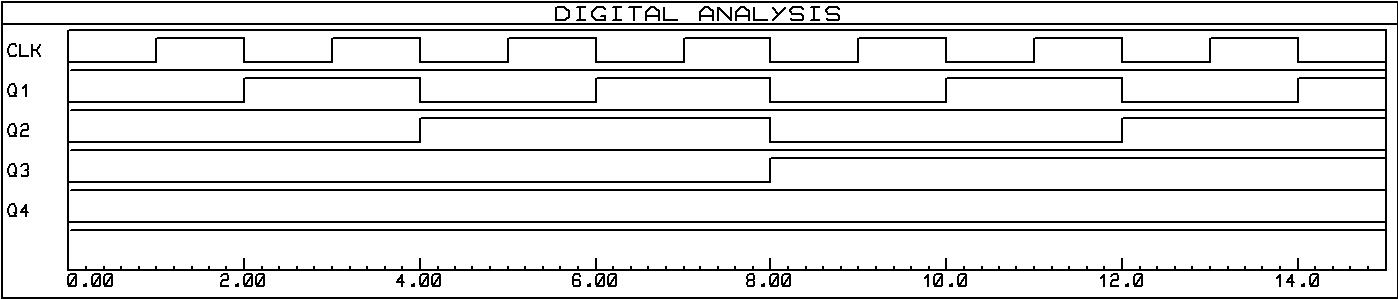
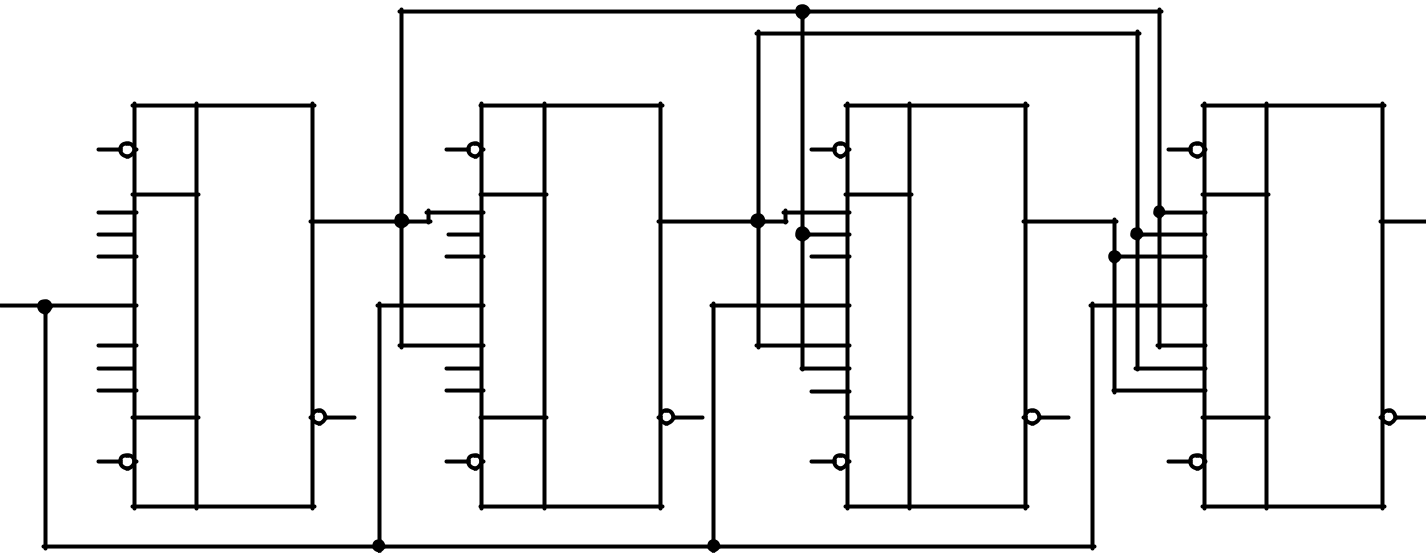


Диаграмма работы (прямой счет)



2007 Архитектура ЭВМ 20

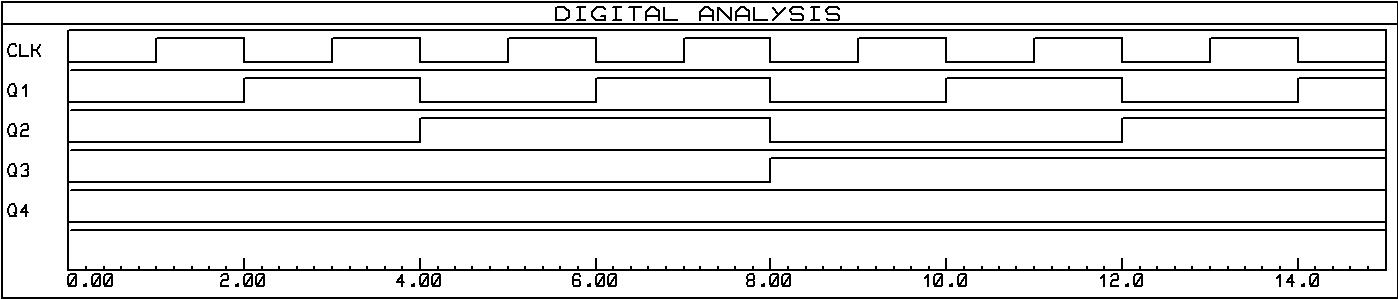
Счетчик с параллельным переносом



|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | S | TT |  | S | TT |  | S | TT | S | TT |  |
|  | 1 | J | Q1 |  | J | Q2 |  | J | Q3 | J | Q4 |  |
| C |  | 1 |  | 1 |  |  |  |
|  | C |  | C |  | C |  | C |  |  |
|  |  |  |  |  |  |  |  |  |
|  | 1 | K |  | 1 | K |  | 1 | K |  | K |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |

|  |  |  |  |
| --- | --- | --- | --- |
| R | R | R | R |

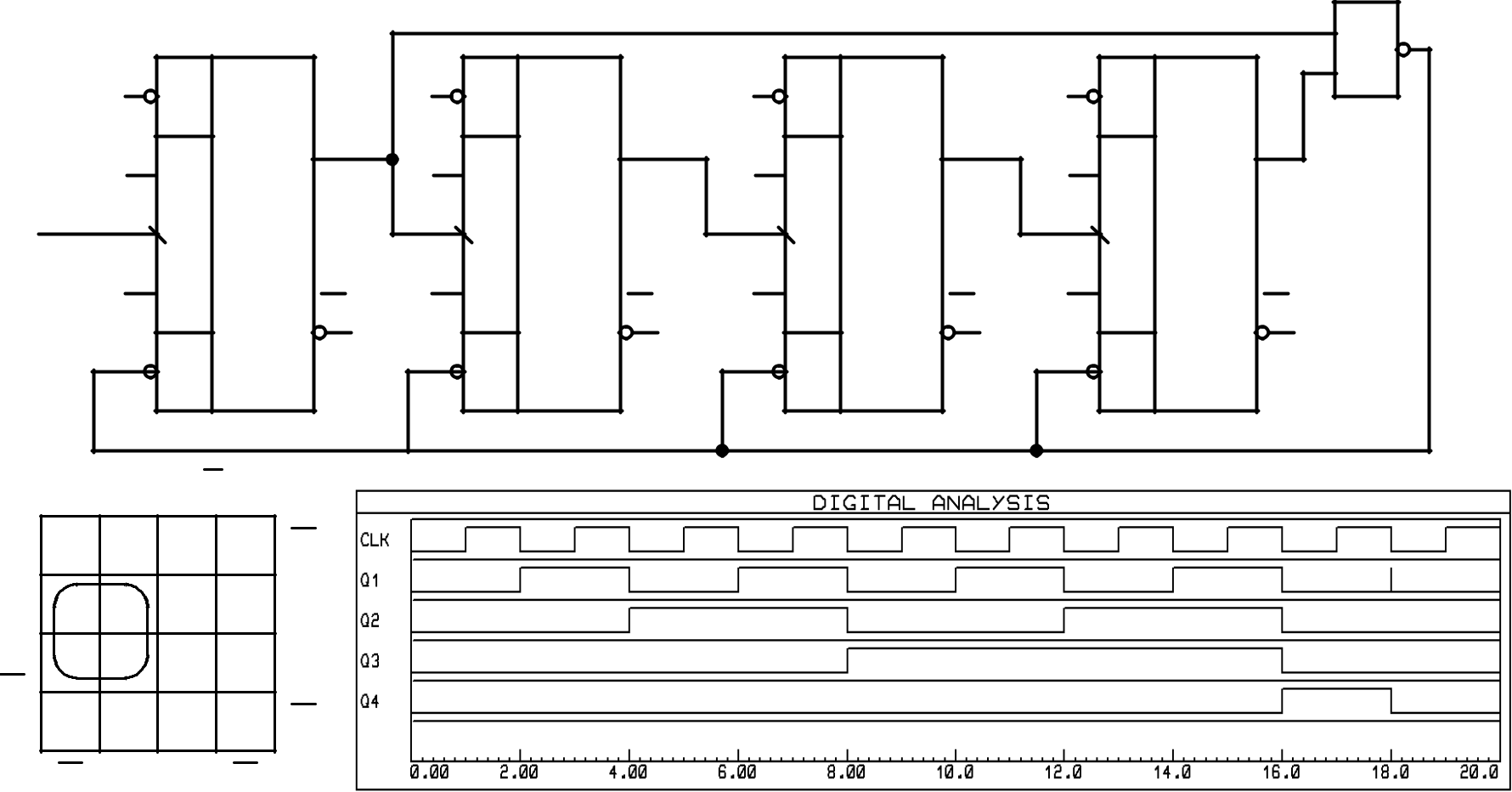
Диаграмма работы



2007 Архитектура ЭВМ 21

Построение счетчиков с произвольным модулем счета Метод управляемого сброса

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Построить счетчик с модулем счета M=9. | | | | | | | | |  |  |  |
| Состояния счетчика 0..M-1,0…. | | | | | | |  |  |  | & |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  | S | TT |  | S | TT | S | TT | S | TT |  |
|  |  | J |  | Q | J | Q | J | Q | J | Q |  |
| C |  |  |  |  |  |  |  |
|  | C |  |  | C |  | C |  | C |  |  |
|  |  |  |  |  |  |  |  |
|  |  | K |  | Q | K | Q | K | Q | K | Q |  |
|  |  |  |  |  |  |  |  |
|  |  | R |  |  | R |  | R |  | R |  |  |
|  | Q4 | Q4 | |  |  |  |  |  |  |  |  |
| x | x | 0 | 0 | Q1 |  |  |  |  |  |  |  |
| Q3 |  |  |  |  |  |  |  |  |  |  |  |
| x | x | 0 | 0 | Q1 |  |  |  |  |  |  |  |
| 1 | x | 0 | 0 |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
| Q3 |  |  |  |  |  |  |  |  |  |  |  |
| 0 | x | 0 | 0 | Q1 |  |  |  |  |  |  |  |
| Q2 |  | Q2 | Q2 |  |  |  |  |  |  |  |  |
| 2007R=Q4 Q1 | | |  |  |  | Архитектура ЭВМ | |  | 22 |  |  |



Метод модификации связей

Построить счетчик с модулем счета M=7. Состояния счетчика 0,2,3..7,0,2…(состояние «1» пропущено).

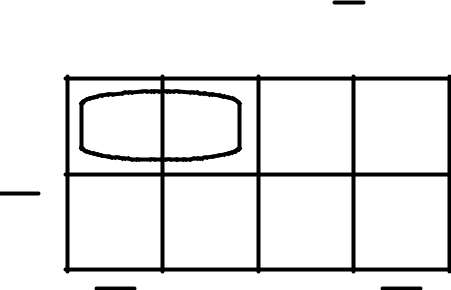
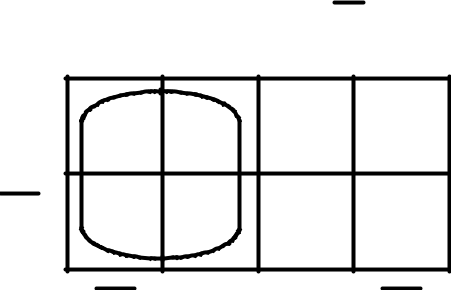
Таблица функционирования счетчика

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Q(t) | Q(t+1) |  | Функции возбуждения | | | |  |  |
| J2 | K2 | J1 | K1 | J0 | K0 |  |
|  |  |  |
| 000 | 010 | 0 | x | 1 | x | 0 | x |  |
| 010 | 011 | 0 | x | x | 0 | 1 | x |  |
| 011 | 100 | 1 | x | x | 1 | x | 1 |  |
| 100 | 101 | x | 0 | 0 | x | 1 | x |  |
| 101 | 110 | x | 0 | 1 | x | x | 1 |  |
| 110 | 111 | x | 0 | x | 0 | 1 | x |  |
| 111 | 000 | x | 1 | x | 1 | x | 1 |  |

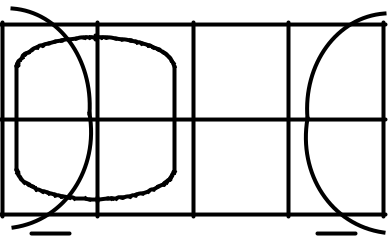
2007 Архитектура ЭВМ 23

Минимизация функций возбуждения

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| J2 |  | Q0 |  | Q0 |  |
|  |  |  |  |
| Q1 | 1 | x | x | 0 |  |
| Q1 | x | x | x | 0 |  |
|  | Q2 | | Q2 | Q2 |  |
|  |  | J2=Q0 | |  |  |
| K2 |  | Q0 |  | Q0 |  |
|  |  |  |  |
| Q1 | x | 1 | 0 | x |  |
| Q1 | x | 0 | 0 | x |  |
|  | Q2 | | Q2 | Q2 |  |
|  |  | K2=Q0 Q1 | | |  |



J1 Q0 Q0



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q1 | x | x | x | x |
| Q1 | x | 1 | 0 | 1 |

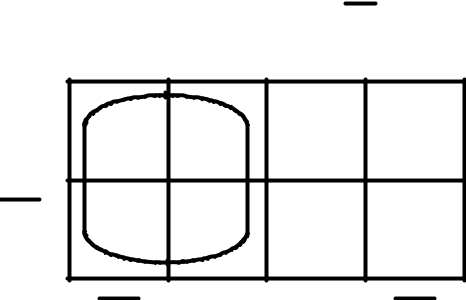


Q2 Q2 Q2

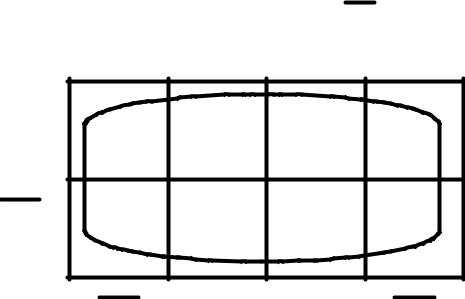
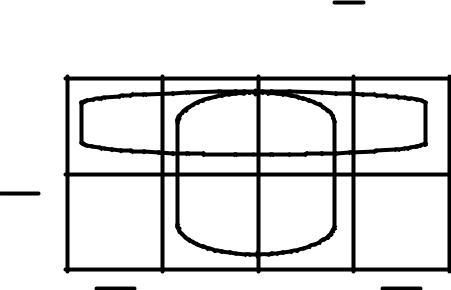
J1=Q0 + Q2



|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| K1 | Q0 | |  | Q0 |  |
|  |  |  |
| Q1 | 1 | 1 | 0 | 0 |  |
| Q1 | x | x | x | x |  |
|  | Q2 |  | Q2 | Q2 |  |
|  |  | K1=Q0 | |  |  |

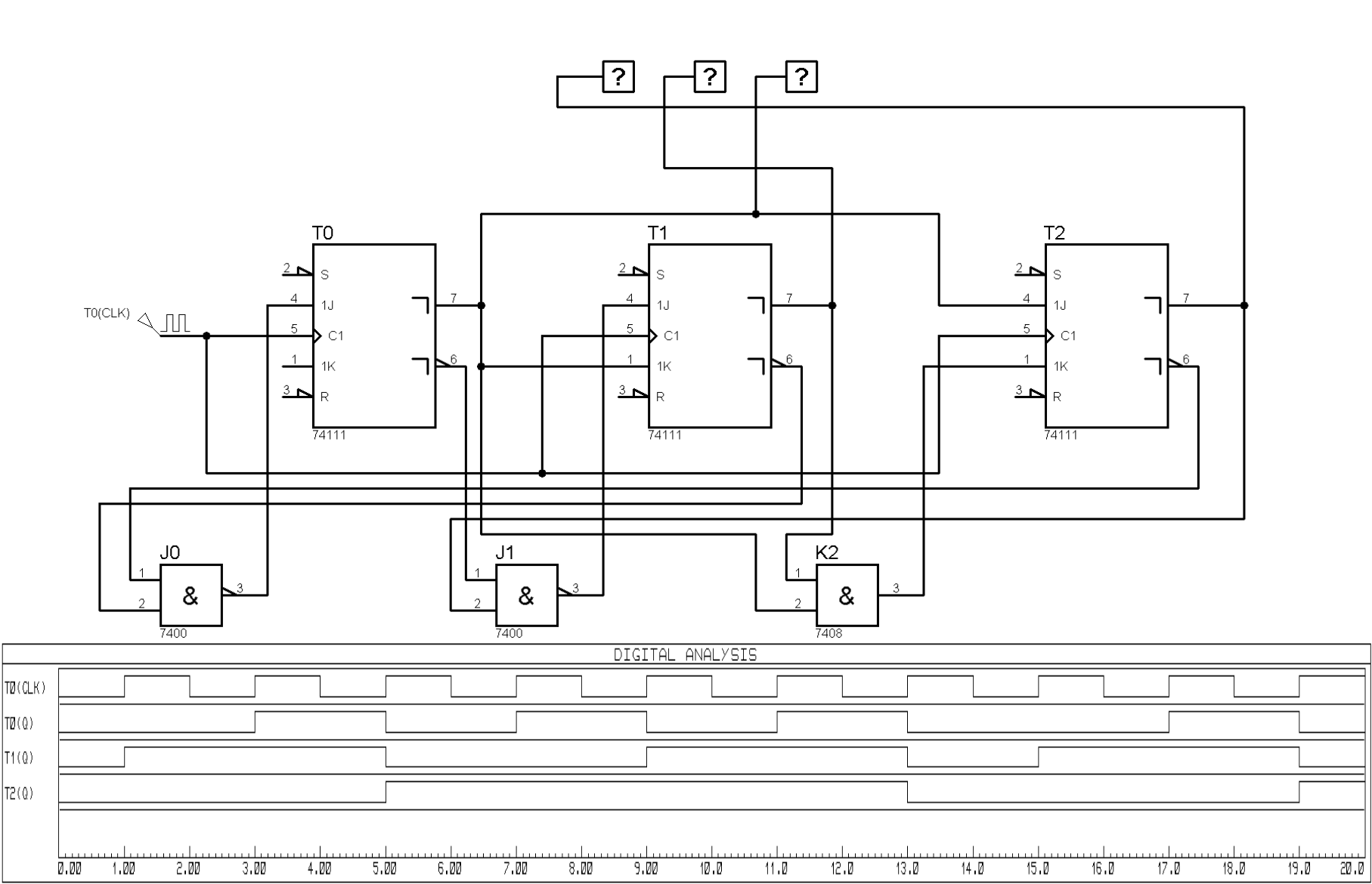


|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| J0 | Q0 |  |  | Q0 |  |
|  |  |  |  |
| Q1 | x | x | 1 | 1 |  |
| Q1 | x | x | 1 | 0 |  |
|  | Q2 | Q2 |  | Q2 |  |
|  | J0=Q1+Q2 | | | |  |
| K0 | Q0 | |  | Q0 |  |
|  |  |  |
| Q1 | 1 | 1 | x | x |  |
| Q1 | x | 1 | x | x |  |
|  | Q2 | Q2 |  | Q2 |  |
|  |  | K0=1 | |  |  |



2007 Архитектура ЭВМ 24

Схема счетчика

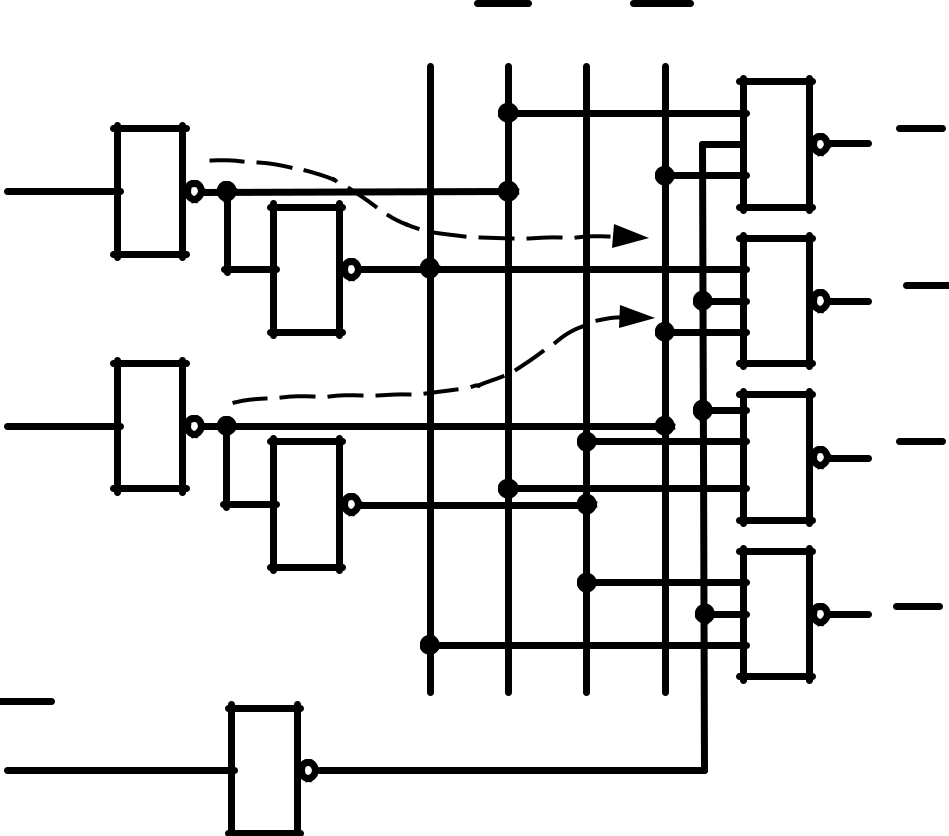


2007 Архитектура ЭВМ 25

Дешифраторы

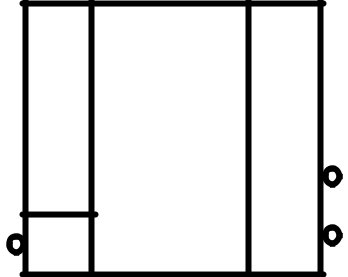
Дешифратором называется комбинационная схема, преобразующая код, подаваемый на входы, в сигнал на одном из выходов.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | X1 | X1 | X2 | X2 |  |  |
| X1 | & | t1 |  |  | & | f0 |  |
|  |  |  |  |  |  |  |
|  |  | 1 |  |  | & | f1 |  |
|  |  | t2 |  |  |  |
| X2 |  |  |  |  |  |  |
| & |  |  |  |  |  |  |
|  |  |  |  | & | f2 |  |
|  |  | 1 |  |  |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  | & | f3 |  |
| C |  | 1 |  |  |  |  |  |
|  |  |  |  |  |  |  |
| 2007 |  |  |  | Архитектура ЭВМ | | |  |



* DC 0 

21 



|  |  |
| --- | --- |
|  | 2 |
| C | 3 |

Статический риск: кратковременное изменение сигнала, который должен остаться неизменным. Динамический риск: многократное переключение элемента вместо ожидаемого однократно.

26

Наращивание размерности дешифраторов

X1

X2

X3

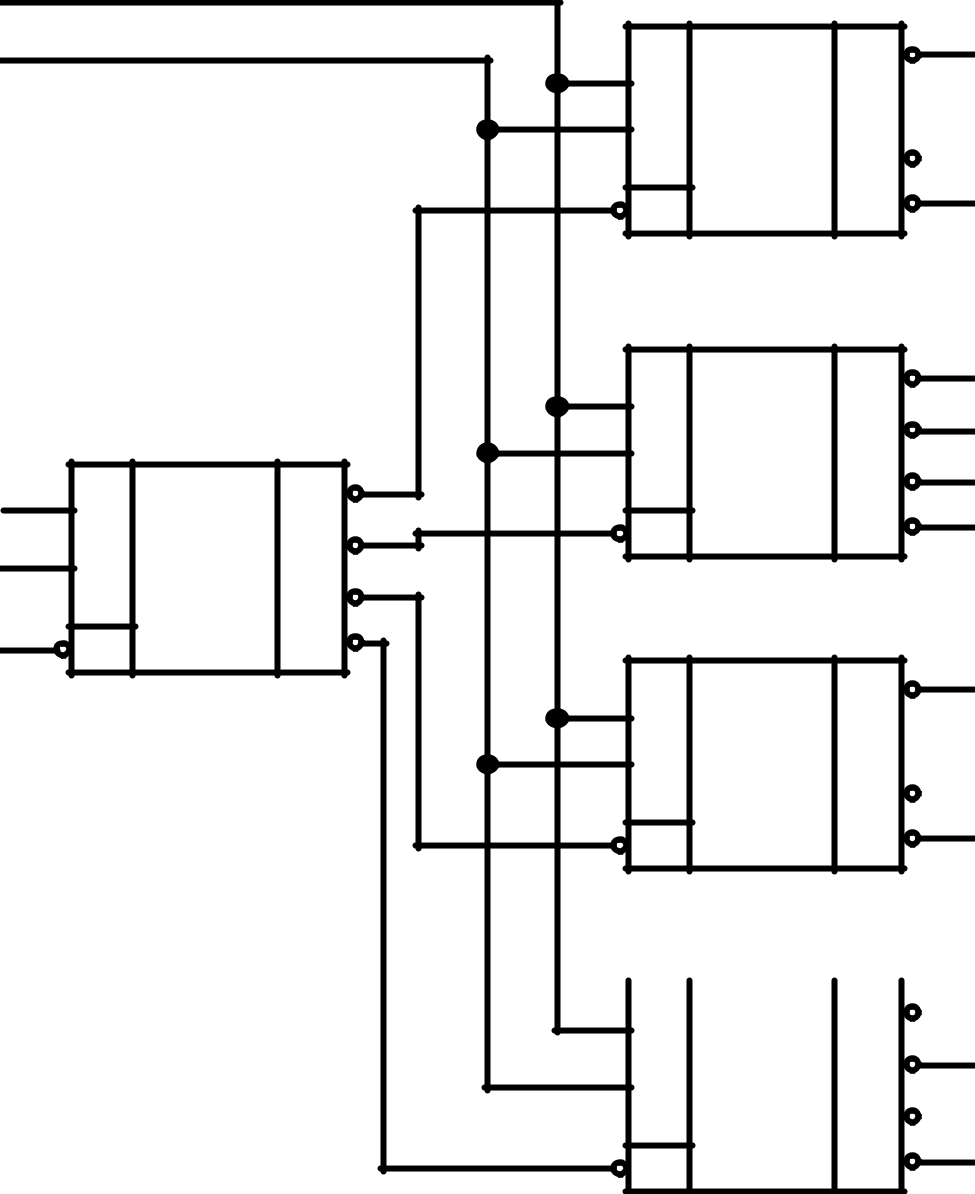
X4



C

2007

|  |  |  |
| --- | --- | --- |
| 1 | DC 0 |  |
| 1 |  |
| 2 |  |
| 2 |  |
|  |  |



|  |  |
| --- | --- |
| C | 3 |

Архитектура ЭВМ

* DC 1  f1

22  f2f00



|  |  |  |
| --- | --- | --- |
| C | 3 | f3 |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 1 | DC | 0 | f4 |  |
|  | 1 | f5 |  |
| 2 |  |  |
|  | 2 | f6 |  |
|  |  |  |
| C |  | 3 | f7 |  |



* DC 1  f9

22  f10f80



|  |  |  |
| --- | --- | --- |
| C | 3 | f11 |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 1DC0 |  |  |  |  |  |  |
|  |  |  | f12 |  |
|  |  |  |

* 1

2  f14f13

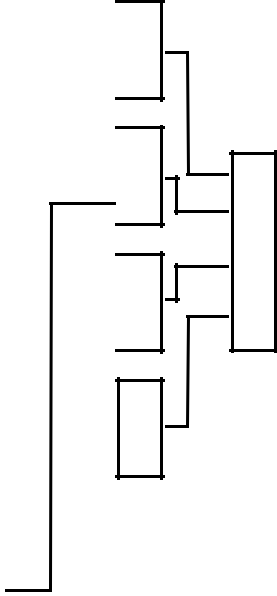


|  |  |  |
| --- | --- | --- |
| C | 3 | f15 |
|  |  | 27 |

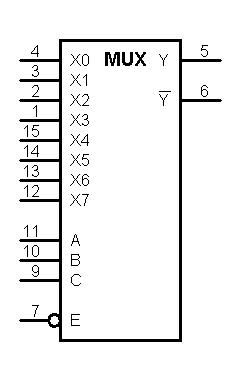


Мультиплексоры

Мультиплексором называется комбинационная схема, осуществляющая передачу сигнала с одной из входных информационных линий на выход.



|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  | X0 | |  | |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
|  |  |  |  |  |  | X1 | |  | |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
|  |  |  |  |  |  | X2 | |  | |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
|  |  |  |  |  |  | X3 | | |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| A |  |  | 1 |  | DC |  | 0 | | |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
| B |  |  | 2 |  |  |  | 1 | | |  |  |  |  |  |  |  |
|  |  |  |  |  |  | 2 | | |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | 3 | | |  |  |  |  |  |  |  |
| E |  |  | C |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |



&

&

1



&

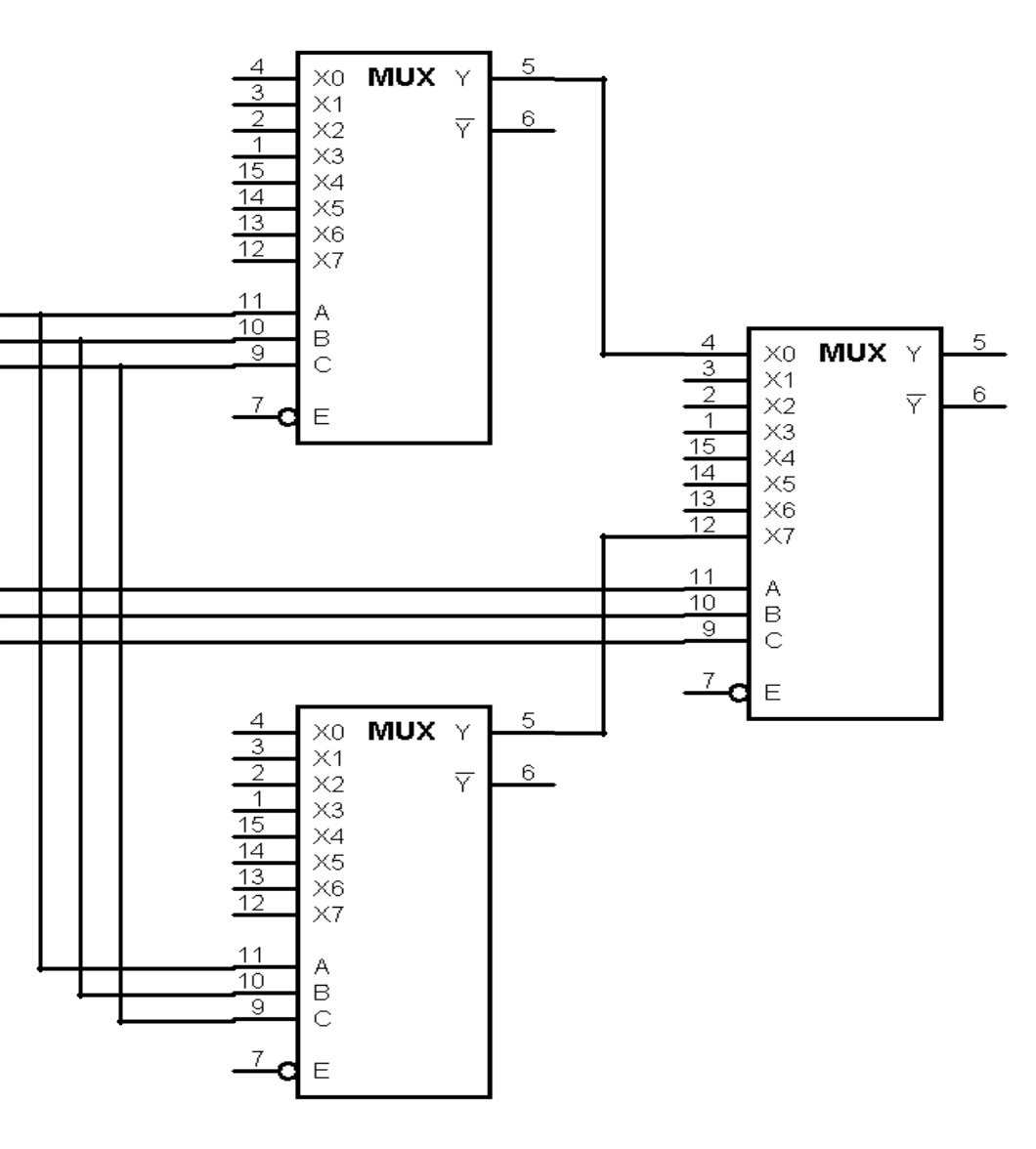
&

2007 Архитектура ЭВМ 28

Наращивание размерности мультиплексоров

Входные

мультиплексоры



Выходной

мультиплексор

A0

A1

A2

0

...

A3

A4

A5

2007 7 Архитектура ЭВМ 29

|  |
| --- |
| слова состояния Младшие разряды |

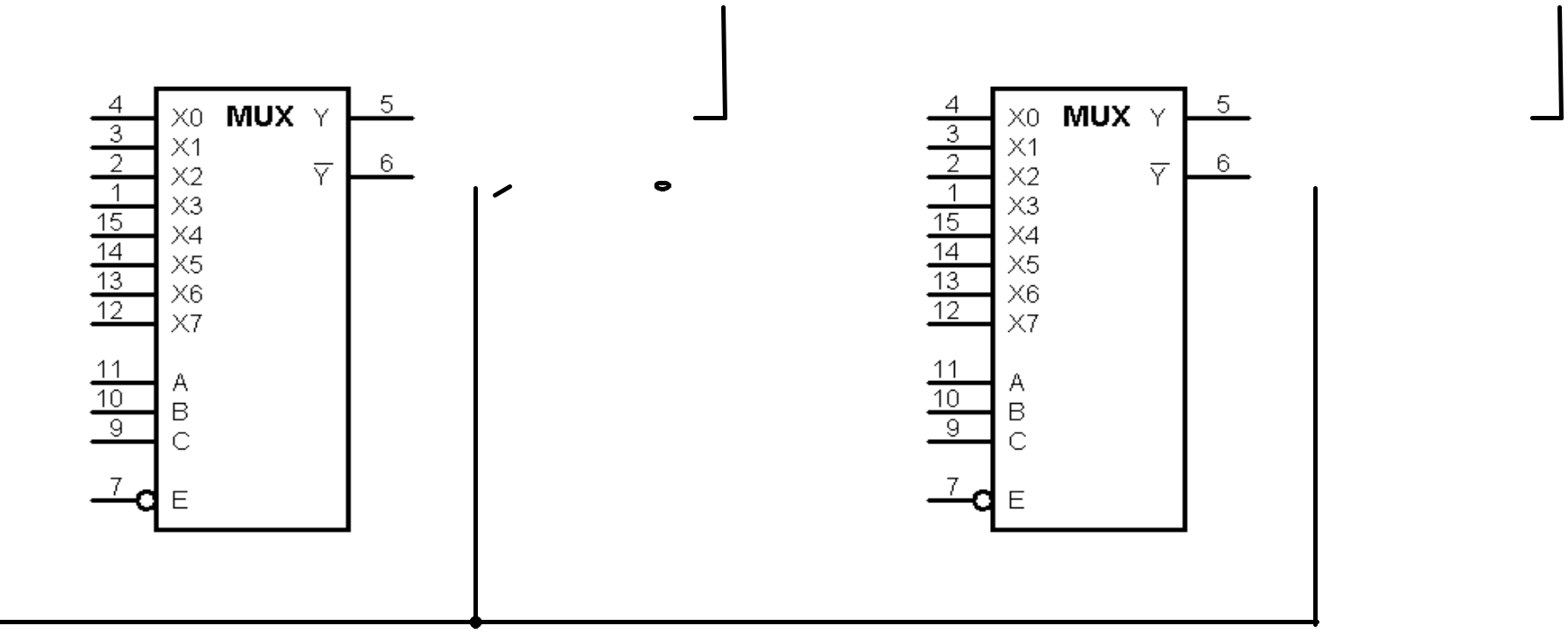
Q(t)

X(t)

1

Пример построения автомата с помощью

мультиплексоров

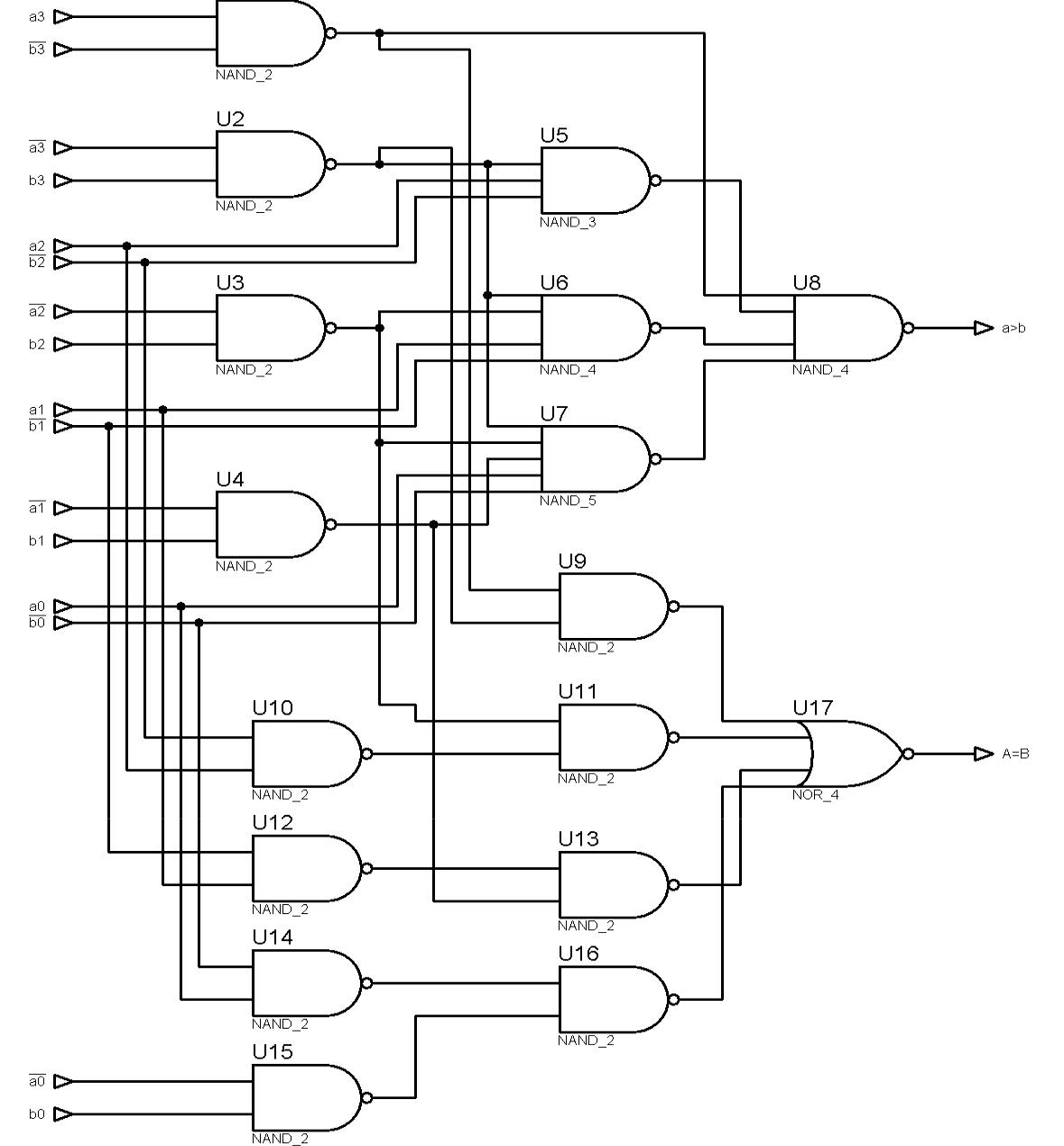


|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  | Q0 | |  |  |  |  |  | Qn-1 | | | |  |
|  |  |  |  | |  | Старшиеразряды |  |  |  |  |  |  |  |  |  |
|  |  | D | T |  |  |  |  |  | D | T |  |  |  |  |
|  |  |  |  | словасостояния | |  |  |  |  |
|  |  | C |  |  |  |  | C |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | |  |  |  |  |  |  |  |  |
|  |  | ... | | | | Q(t) | | |  |  |  |  |  |  |  |
|  |  |  |  |  |  | X(t) | | |  |  |  |  |  |  |  |



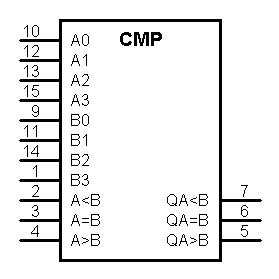
1

2007 Архитектура ЭВМ 30

Компаратор

Компаратором называется комбинационная схема,

определяющая отношение между двумя словами.



2007 Архитектура ЭВМ 31

Сумматоры

Сумматором называется узел ЭВМ, выполняющий арифметическое сложение кодов чисел.

Si=aibici-1 U aibici-1 Uaibici-1 U aibici-1



ci= aibici-1 U aibici-1 U aibici-1 U aibici-1 = aibi U aici-1 U bici-1

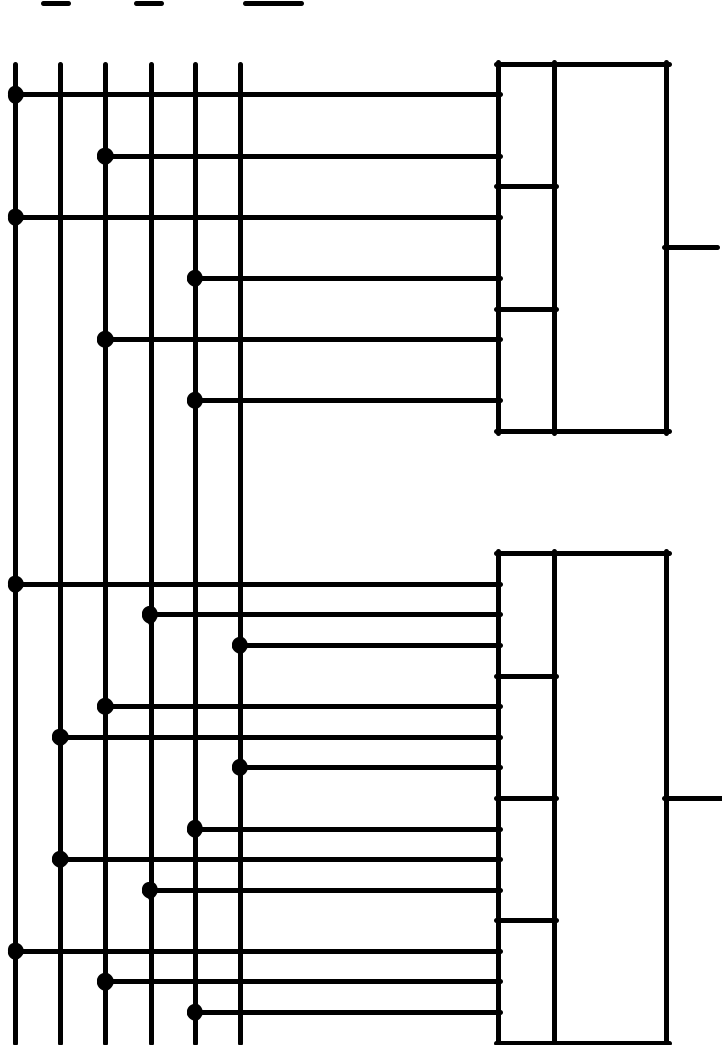


|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Полусумматор выполняет | | | | | | | Сумматор выполняет | | | | | | |  |  |
| арифметическое | | | | | |  | арифметическое сложение кодов | | | | | | | |  |
| сложение кодов двух | | | | | | | двух чисел с учетом переноса в | | | | | | | |  |
| чисел. | | |  |  |  |  | младший разряд. | | | |  |  |  |  |  |
|  |  | |  |  |  | |  |  |  |  |  |  |  | |  |
| ai |  |  | HS | S |  | si | ai |  | SM |  | S |  | si | |  |
|  |  |  |  |  |  |  |
| bi |  |  |  | C |  | ci | bi |  |  |  | C |  |  | ci |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  | Ci-1 |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

2007 Архитектура ЭВМ 32

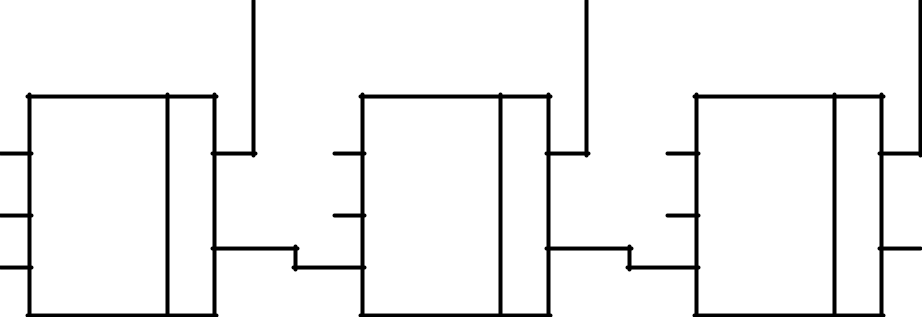
|  |  |
| --- | --- |
| Схема одноразрядного | Схема параллельного сумматора |
| сумматора | с последовательным переносом |

ai ai bi bi Ci-1 Ci-1

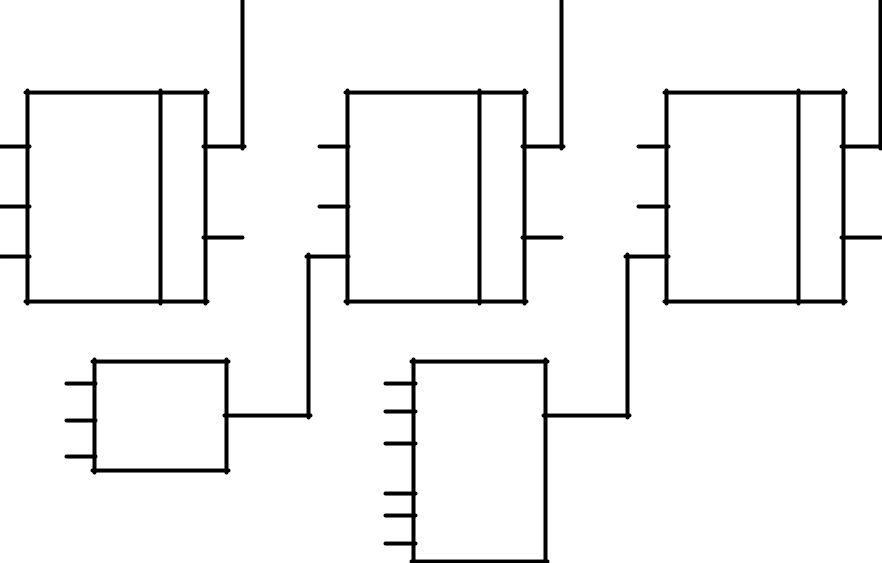


2007

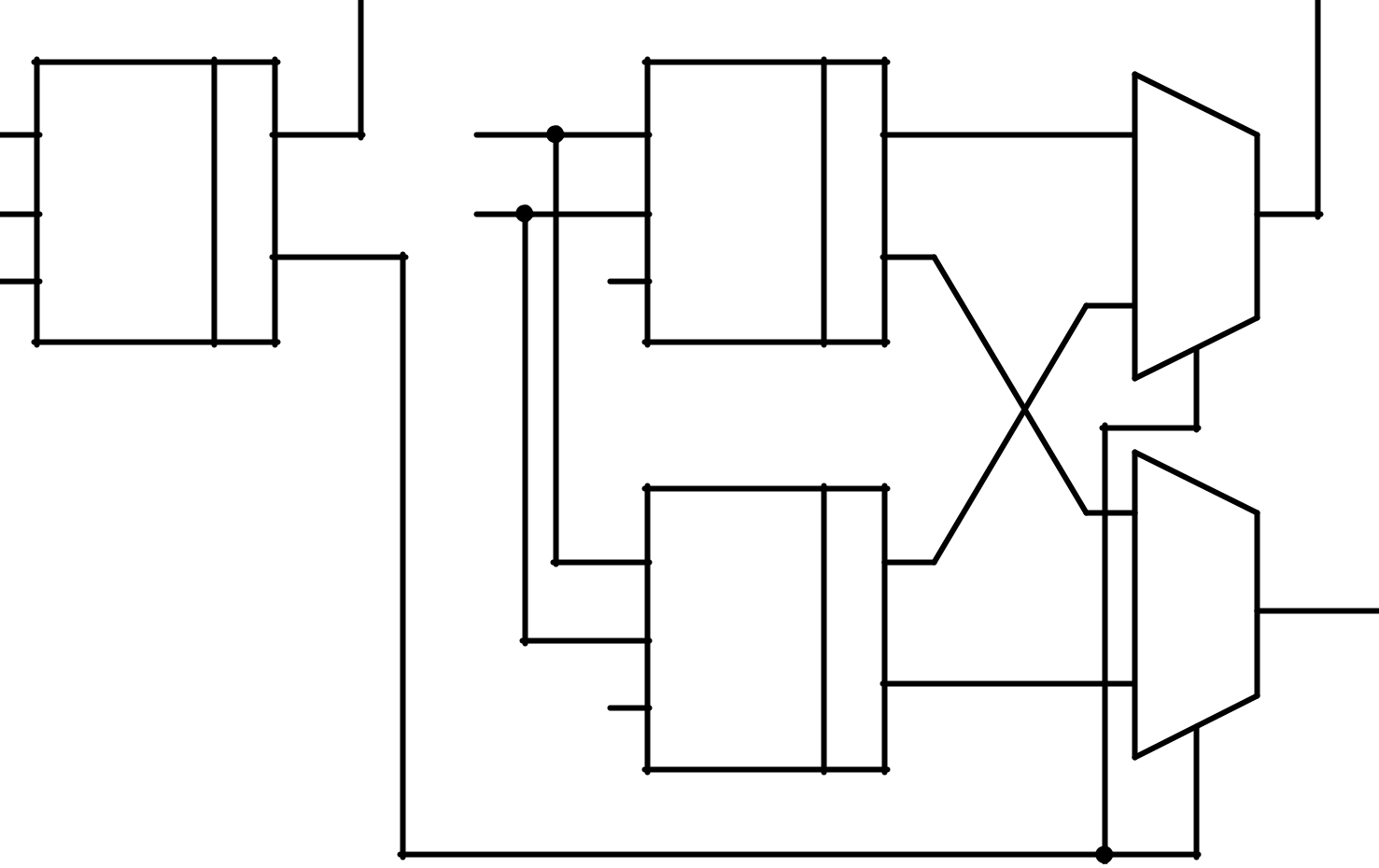
|  |  |  |
| --- | --- | --- |
| s0 | s1 | Sn-1 |



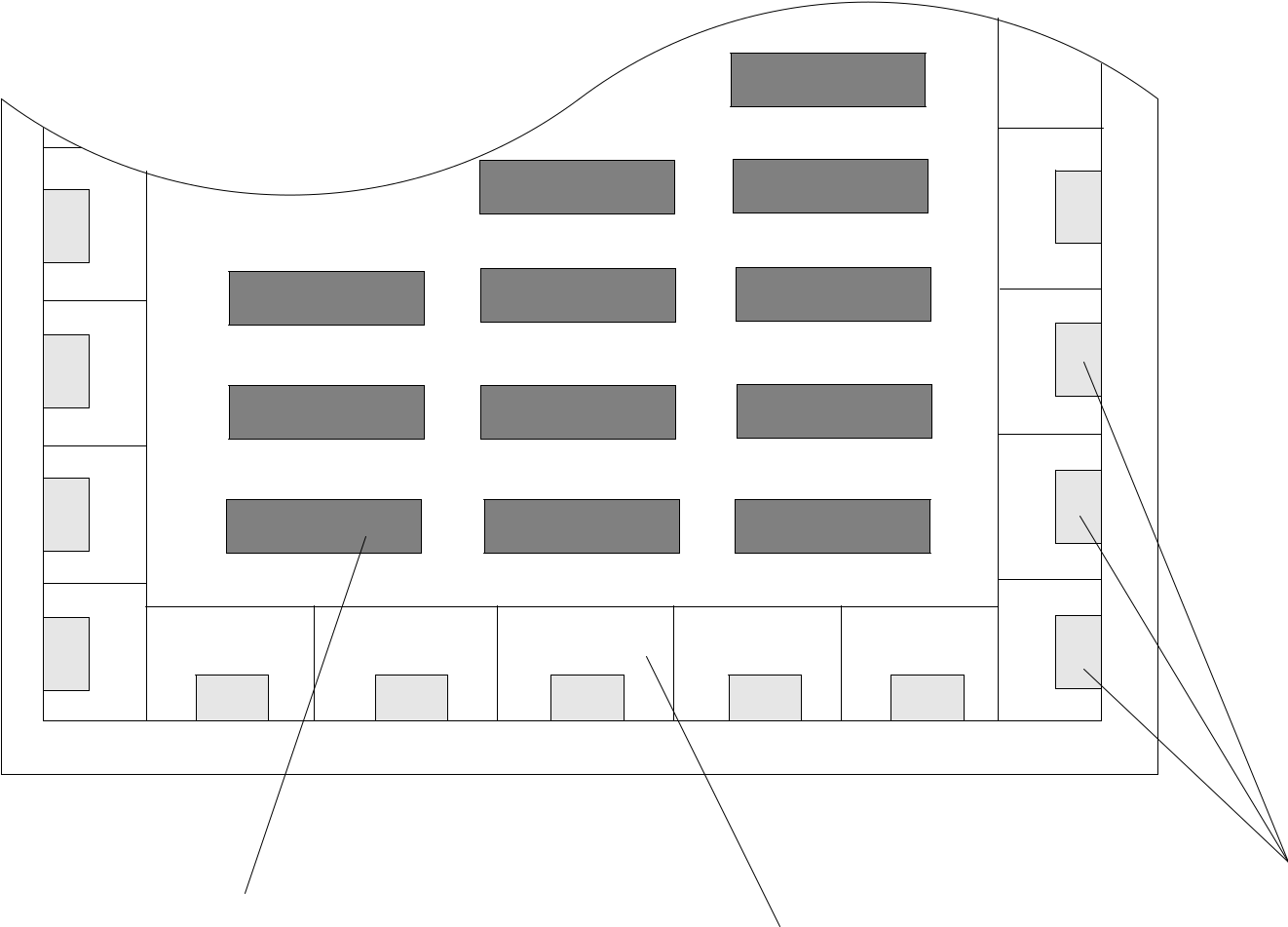
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| & |  |  | a0 | SM | S | a1 |  | SM | S | an-1 | SM | S |  |  |
|  |  | ci |  |  |  |
|  |  | b0 |  |  | 1 |  |  |  | n-1 |  |  |  |  |
| & | 1 |  |  |  | C | b |  |  | C | b |  | C | Cвых |  |
|  | Cвх |  |  |  |  |  |  |  |
| & |  |  | Схема параллельного сумматора | | | | | | | | | | |  |
|  |  |  |  |
|  |  |  |  | с параллельным переносом | | | | | | | | | |  |
| & |  |  |  |  |  | s0 |  |  |  | s1 | ... |  | Sn-1 |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| & |  | si | a0 | SM | S | a1 |  | SM | S | an-1 | SM | S |  |  |
| 1 | b0 |  |  | b1 |  |  |  | bn-1 |  |  |  |  |
|  |  | C |  |  | C |  | C | Cвых |  |
| & |  | Cвх |  |  |  |  | ... |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| & |  |  |  | a0 | КС0 |  | an-2 | КСn-2 | |  |  |  |  |  |
|  |  |  | b0 |  | bn-2 |  |  |  |  |  |
|  |  |  |  | свх |  |  | cn-2 |  |  |  |  |  |  |  |
|  |  |  |  |  |  | ... |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | a0 |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | b0 |  |  |  |  |  |  |  |
|  | Архитектура ЭВМ | | | | |  | свх |  | 33 |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |



|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | Схема сумматора с условным переносом | | | | | |  |  |
|  |  | Sмл |  |  |  | Sст | |  |
| Aмл | SM | S | Aст | SM | S | 0 |  |  |
| Bст |  |  |
| Bмл |  | cмл |  |  | MUX |  |  |
| cвх |  | C |  | 0 | C | 1 |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  | SM | S | 0 |  |  |
|  |  |  |  |  | cвых |  |
|  |  |  |  |  | MUX |  |
|  |  |  |  | 1 | C | 1 |  |  |
| 2007 |  | Архитектура ЭВМ | | |  | 34 |  |  |



Структура базовых матричных кристаллов



1 - Макроячейки;

2 - Внешние

контактные

площадки;

3 - Буферные

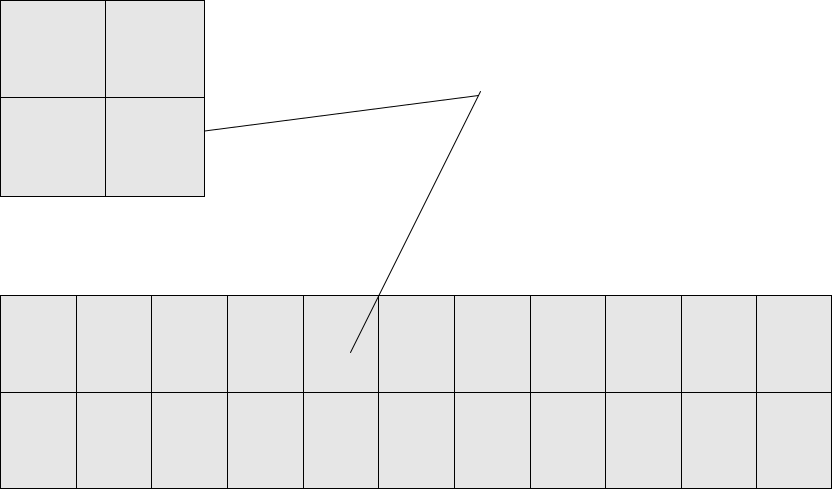
ячейки.

2

1 3

2007 Архитектура ЭВМ 35

Типовые структуры макроячеек



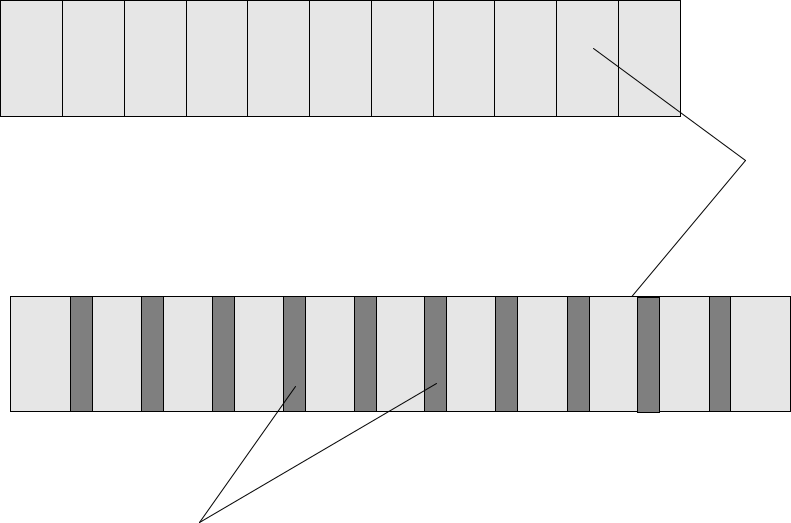
1

1 - Базовые ячейки (БЯ);

2 - Промежутки между БЯ для

прокладки трасс (транзитные

соединения).

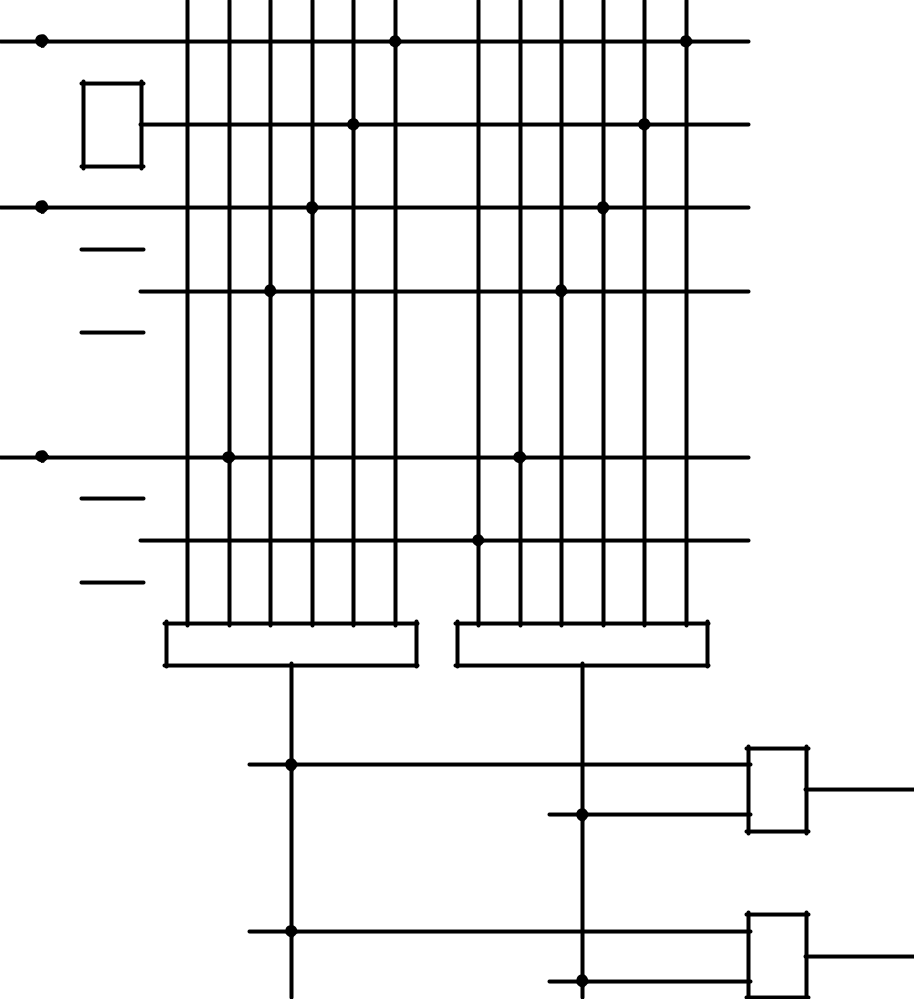


1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 2007 | 2 | Архитектура ЭВМ | 36 |  |
|  |  |

Программируемые логические матрицы

X1



 1 

X2

 1 

Xm ...

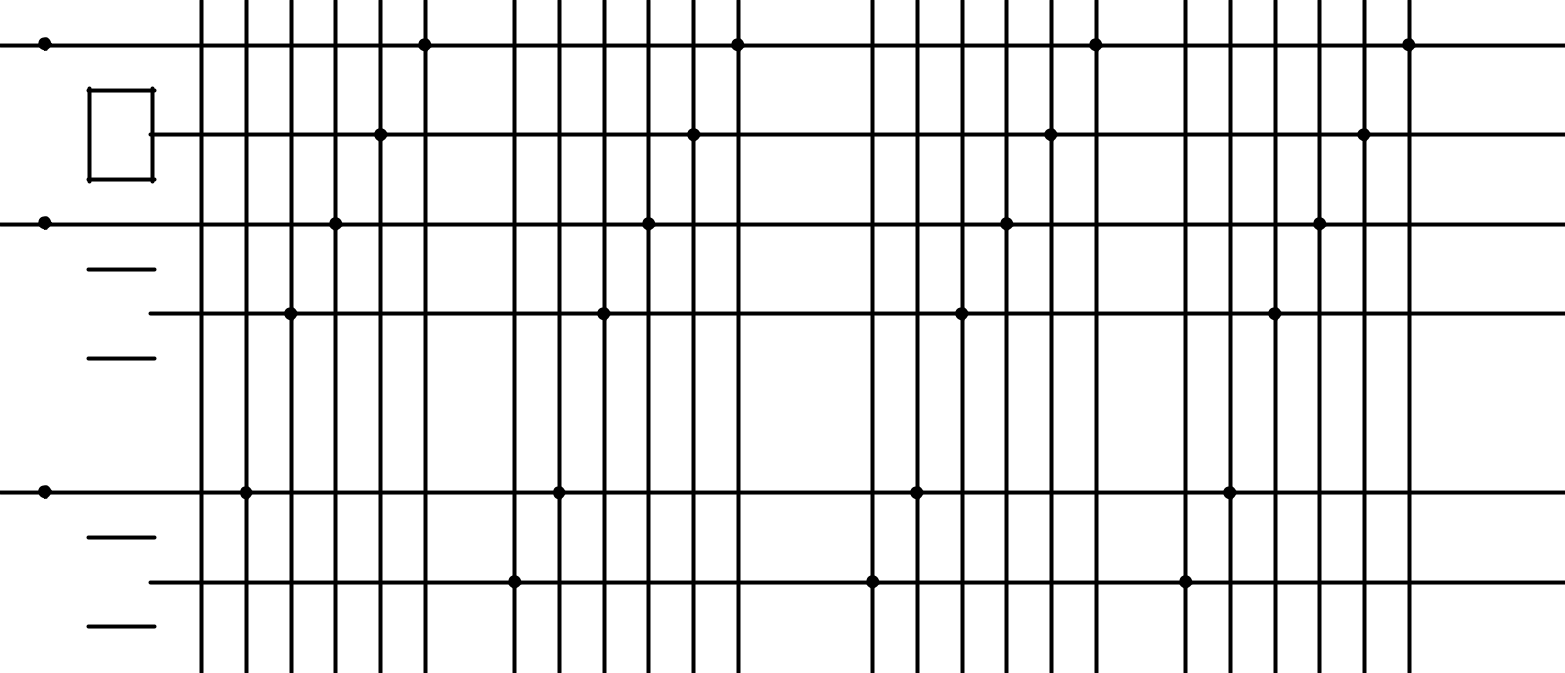
 1 

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | & |  | & |  |
| t1 | ... | tk | F1 |  |
|  |  |
|  |  |  |  |
|  |  |  | 1 |  |
|  | ... |  | ... |  |
|  |  |  | Fn |  |
|  |  |  | 1 |  |

2007 Архитектура ЭВМ 37

Программируемая матричная логика

X1



 1 

X2

 1 

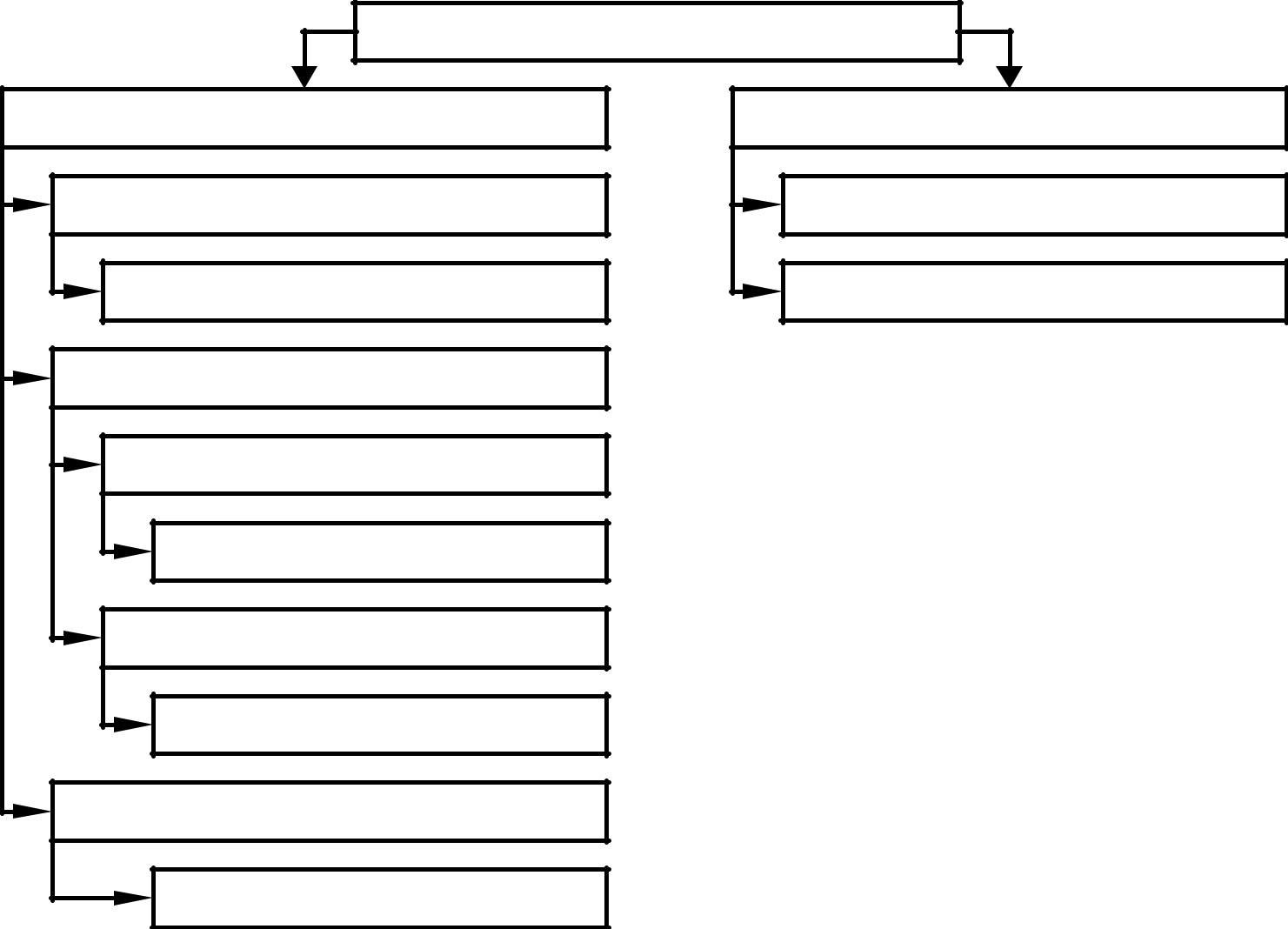
Xm ...

 1 

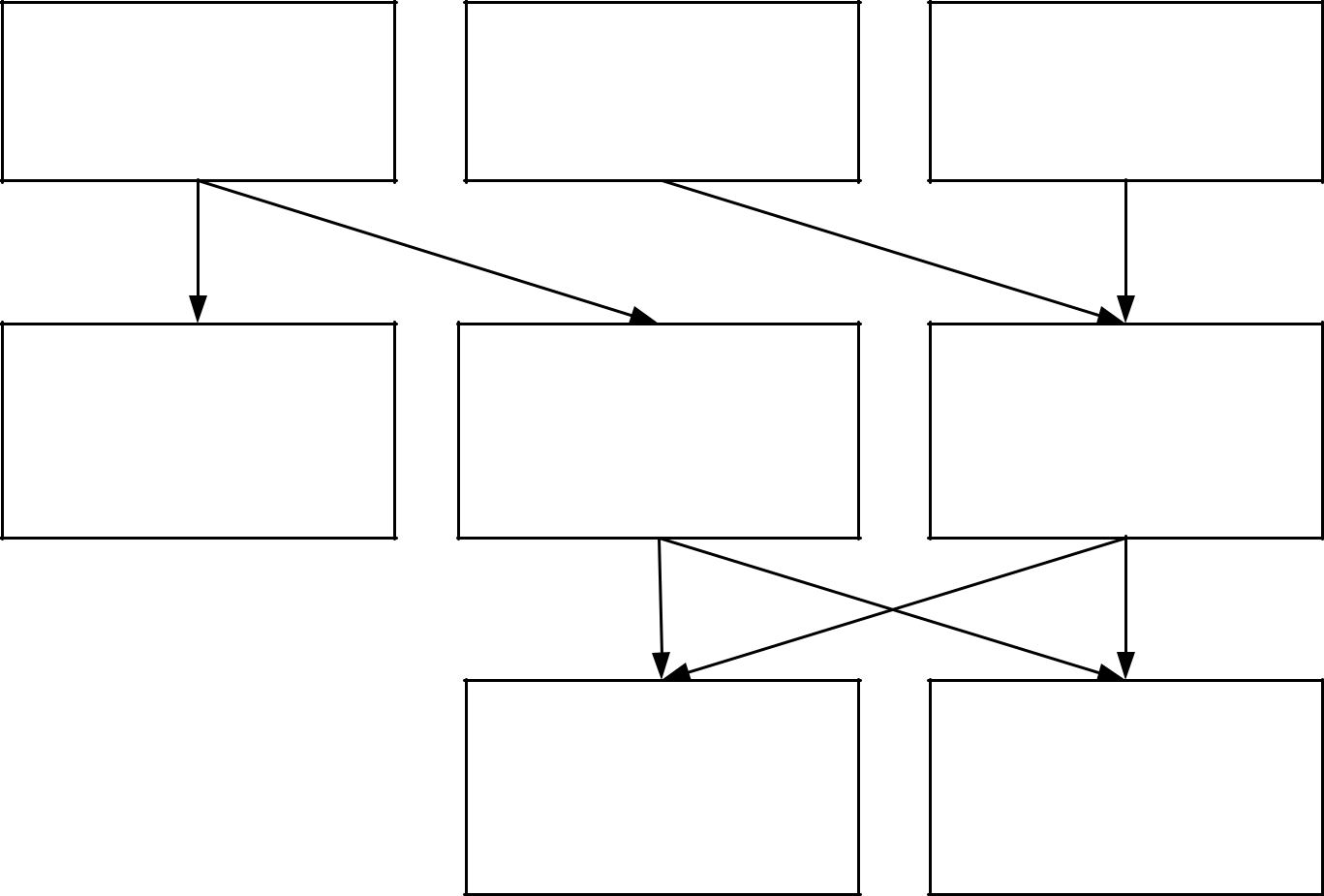
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| & | |  |  | & | | | | & | |  |  | & | | | |  |
|  |  |  |  | ... | |  |  |  |  |  |  |  |  |  | ... | | |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  | 1 | |  |  |  |  |  |  |  |  |  | 1 | | |  |  |  |
|  |  |  |  |  |  | F1 | | | |  |  |  |  |  |  |  |  | Fn | | | |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |

2007 Архитектура ЭВМ 38

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | Классификация ИС по способу обеспечения | | |  |
|  | функциональности | |  |  |
|  | Интегральные схемы | |  |  |
|  | Стандартные ИС | Специализированные ИС | |  |
|  | С фиксированным | Полузаказные ИС | |  |
|  | функционированием |  |
|  |  |  |  |
|  | МИС, СИС, БИС, СБИС |  | Заказные ИС |  |
|  | С изменяемым |  |  |  |
|  | функционированием |  |  |  |
|  | С изменением |  |  |  |
|  | программы |  |  |  |
|  | МП, МК, SOPC |  |  |  |
|  | С изменением |  |  |  |
|  | структуры |  |  |  |
|  | CPLD,FPGA, |  |  |  |
|  | SOPC,... |  |  |  |
|  | Полуфабрикаты |  |  |  |
|  | МаБИС |  |  |  |
| 2007 | Архитектура ЭВМ | | 39 |  |



|  |  |
| --- | --- |
|  | Эволюция ПЛИС |
| Полузаказные | Программируемые пользователем |
| интегральные схемы | интегральные схемы |



Базовые матричные кристаллы (Gate Array, GA)

Базовые матричные кристаллы на основе матричных БИС, СБИС (Application Specific Integrated Circuits, ASIC)

Программируемая матричная логика (Programmable Array Logic, PAL)

Программируемые вентильные матрицы (Field Programmable Gate Arrays, FPGA)

ПЛИС с комбинированной

структурой

Программируемые логические матрицы (Programmable Logic Array, PLA)

Сложные

программируемые

логические устройства (Complex Programmable Logic Devices, CPLD)

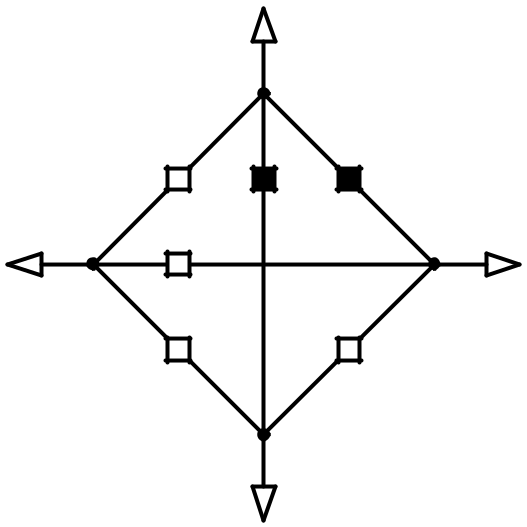
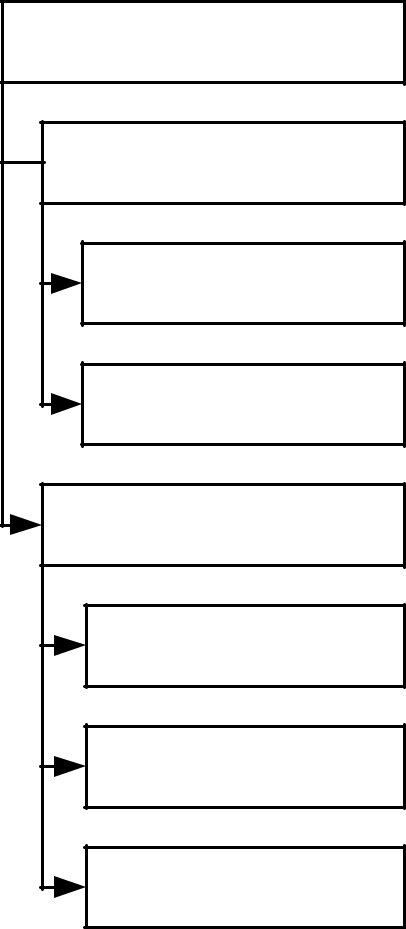
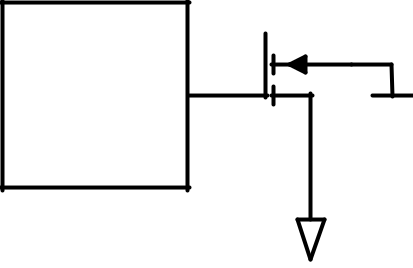
Системы на кристалле (System on Programmable Chip, SOPC)

2007 Архитектура ЭВМ 40

Классификация ПЛИС по типу программируемых связей



|  |  |  |  |
| --- | --- | --- | --- |
|  | A |  |  |
|  |  | ПЛИС |  |
| Ячейка |  | Однократно |  |
|  | программируемые |  |
| памяти |  |  |
|  |  |  |
|  |  | На основе |  |
|  | B | перемычек |  |
|  | На основе |  |
|  |  |  |
|  | A | EPROM-OTP |  |
|  |  |  |
|  |  | Репрограммируемые |  |
|  |  | На основе |  |
|  |  | EPROM |  |
| E | C | На основе |  |
| EEPROM |  |
|  |  |  |
|  | D | На основе SRAM |  |
|  |  |  |
| 2007 | Архитектура ЭВМ | 41 |  |

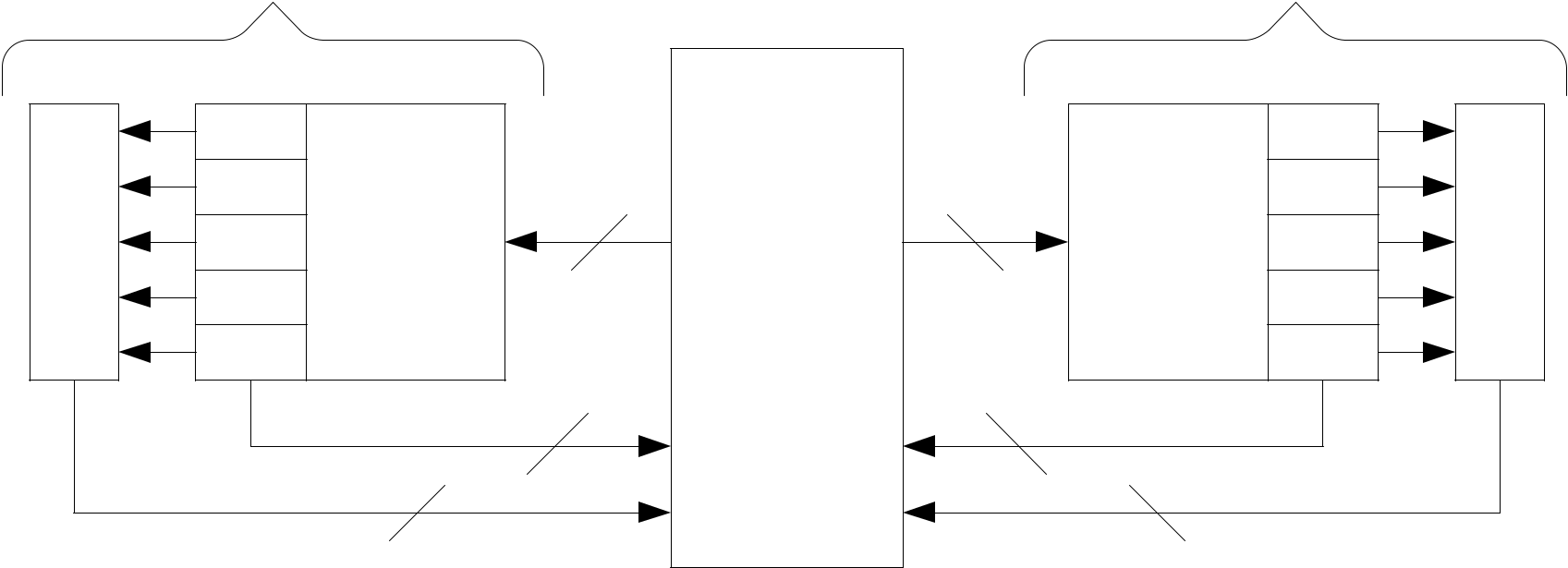


Архитектура сложных программируемых логических устройств (CPLD)

CPLD



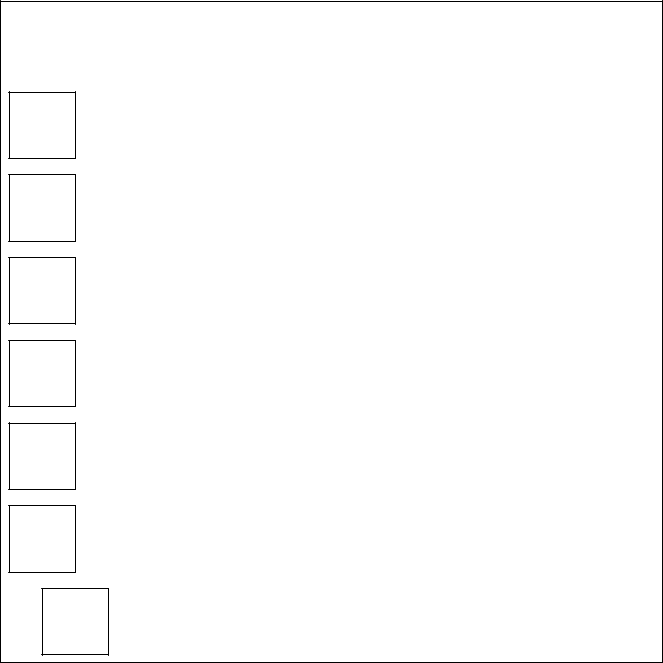
SPLD SPLD



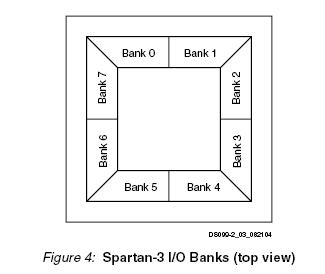
|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  | MC0 |  |  |  | MC0 |  |  |
|  | MC1 | PAL or |  | PAL or | MC1 |  |  |
| I/O | MC2 |  | MC2 | I/O |  |
| PLA | Interconnect | PLA |  |
|  | ... | ... |  |  |
|  |  | Array |  |  |  |
|  |  |  |  |  |  |  |
|  | MCn |  |  |  | MCn |  |  |

2007 Архитектура ЭВМ 42

Программируемые вентильные матрицы (FPGA)



|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| I/O |  | I/O |  | I/O |  | I/O |  | I/O |  | I/O |  | I/O |
|  |  |  |  |  |  |  |  |  |  |  |  |  |



I/O

I/O

I/O

I/O

I/O

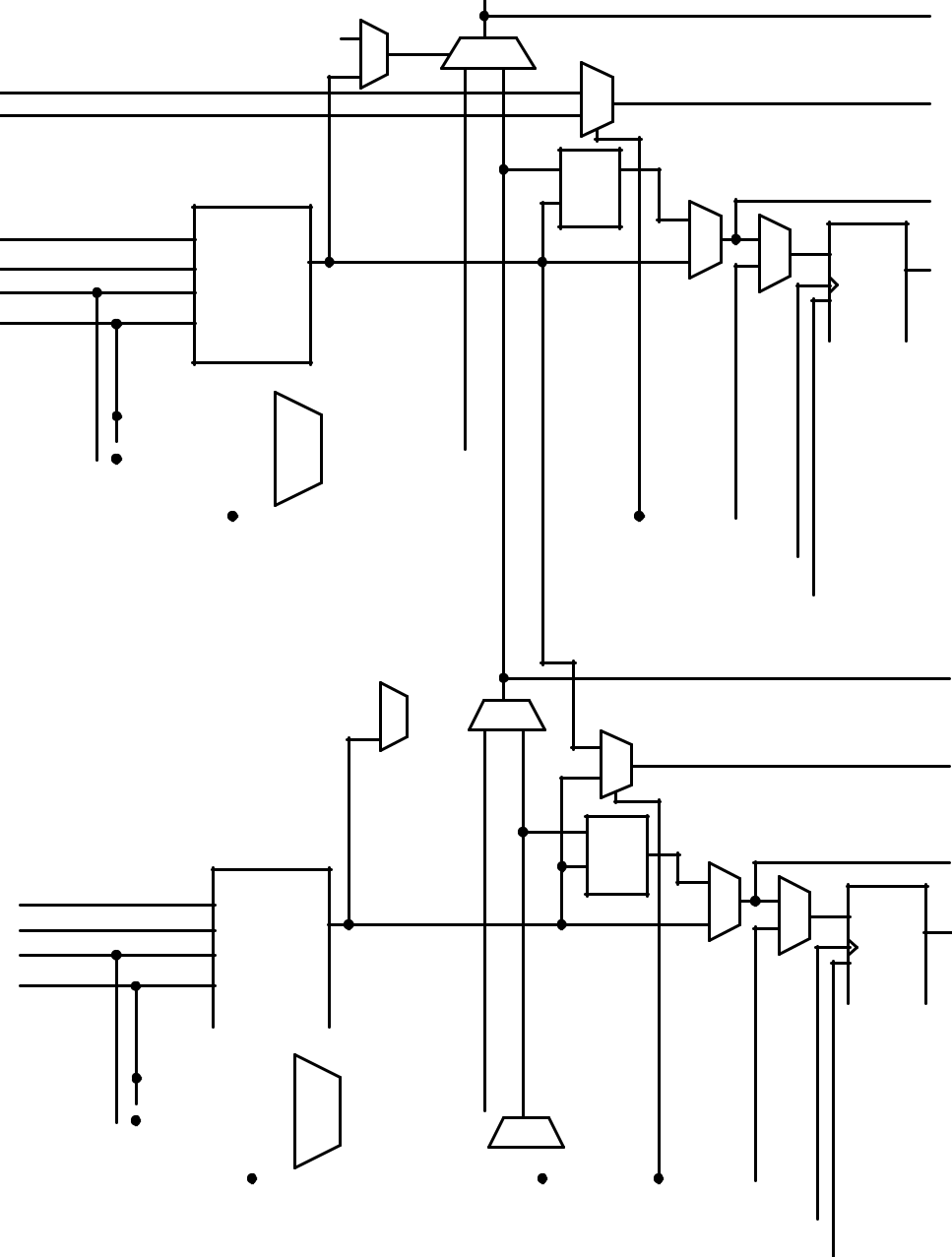
I/O

I/O

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  | ... | | |  |  |  |  |  | I/O |  |
|  | CLB | |  |  | CLB | | |  | CLB | | | CLB | |  |  |  |  |
|  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  | ... | | |  |  |  |  |  | I/O |  |
|  | CLB | |  |  | CLB | | |  | CLB | | | CLB | |  |  |  |  |
|  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  | ... | | |  |  |  |  |  | I/O |  |
|  | CLB | |  |  | CLB | | |  | CLB | | | CLB | |  |  |  |  |
|  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  | ... | |  |  |  |  |  | I/O |  |
|  | CLB | |  |  | CLB | | |  |  | CLB | | | CLB | |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| ... | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | I/O |  |
|  | CLB | |  |  | CLB | | |  |  | CLB | | | ... | | CLB | |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | I/O |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | I/O |  | I/O | |  |  | I/O | |  |  | I/O | | |  | I/O |  | I/O | | |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

2007 Архитектура ЭВМ 43

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  | COUT | |  |  |  |
|  |  |  | 1 | 0 | *3* 1 |  |  |  |
| **Структура** |  |  | *2* |  |  |  |
| FXINB |  |  |  | *4* |  |  |  |
| **блока типа** | FXINA |  |  |  |  |  |  |  |
|  |  |  |  | M2 |  |  |  |
| **SLICEL** |  |  |  |  |  |  |  |
| G3 |  | D |  |  | *6* | Q |  |
|  | G4 |  | LUT |  | *5* |  | D/T |  |
|  |  |  |  |  |  |  |  |
|  | G2 | A |  |  |  |  | EC |  |
|  | G1 |  |  |  |  |  | SR |  |



|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  | **D = Ai xor Bi,** | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  | & |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  | **M7 = Ai and Bi** | | |  |  |  |  |  |  |  |  |  | *1* |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  | 1 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  | **S = D xor CIN** | | |  | BY |  |  |  |  |  | | 0 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  | | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  | CLK |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  | CE |  | | | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | | | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| F1 | F2 | D | M7 | CINS | COUT | SR |  | | | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | | | | 1 | | | | | |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 0 | *9* 1 |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  | *8* | | | | | | | |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  | *10* |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |  |  | M2 |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  | F4 |  | LUT | *11* |  | D/T |  |
|  |  |  |  |  |  | F3 | A | D | *12* | Q |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  | F2 |  |  |  |  | EC |  |
|  |  |  |  |  |  | F1 |  |  |  |  | SR |  |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | 1 | 1 | 0 | 0 | 1 | 0(CIN) | | | | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  | & | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  | *7* | *13* | | | |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  | | | 1 |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  | BX |  |  |  |  |  | | | 0 |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 1 | 0 | 1 | 0 | 0 | 1 | 0(CIN)CLK |  | | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  | CE |  | | | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | 2007 |  |  |  |  |  | | | |  |  |  |  |  |  |  |  |  | 44 | |  |  |  |  |  |  |
|  |  |  |  |  | Архитектура ЭВМ | | | | |  |  |  |  |  |  |  | | |  |  |  |  |  |  |
|  |  |  |  |  |  | SR |  | | | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | | | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | CIN | | |  |  |  |  |  |  |

YB

Fi

Y

YQ

XB

F5

X

XQ

V.II Основы языка VHDL

(Very high speed integration circuits Hardware Description Language) Стандарт VHDL-87, Стандарт VHDL-93, Стандарт VHDL-AMS

Язык VHDL используется для:

* описания поведения цифровых устройств во времени и при изменении входных воздействий;
* описания структуры цифровых устройств с различной степенью детализации (на системном и блочном уровнях, на уровне регистровых передач, на уровне вентилей);
* моделирования цифровых устройств;
* описания тестовых воздействий при моделировании устройств;
* автоматизации преобразования исходного описания схемы в описание на

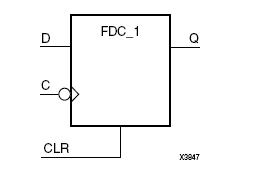
более низком уровне (вплоть до вентильного уровня).

Стили описания:

* **поведенческий стиль**, при котором для описания проекта используютсяпричинно-следственные связи между событиями на входах устройства и событиями на его выходах (без уточнения структуры);
* **структурный стиль описания**, при котором устройство представляется ввиде иерархии взаимосвязанных простых устройств (подобно стилю, принятому в схемотехнике);
* **потоковый стиль описания** устройства основан на использованиилогических уравнений, каждое из которых преобразует один или несколько входных

|  |  |  |  |
| --- | --- | --- | --- |
| информационных потоков в выходные потоки. | | 45 |  |
| 2007 | Архитектура ЭВМ |  |

Примеры описания устройств на языках VHDL и Verilog



Динамический D-триггер (flip-flop with negative

edge clock).

VHDL описание

library ieee;

use ieee.std\_logic\_1164.all;

entity registers\_2 is

port(C, D, CLR : in std\_logic;

Q : out std\_logic);

end registers\_2;

architecture archi of registers\_2 is begin

process (C, CLR)

begin

if (CLR = '1')then

Q <= '0';

elsif (C'event and C='0')then Q<=D;

end if;

end process;

end archi;

2007 Архитектура ЭВМ 46

V.III Основы языка Verilog HDL

Verilog был разработан фирмой Gateway Design Automation в 1984 г

Стандарт Verilog LRM (Language Reference Manual), IEEE1364-1995 принят в 1995 году

Verilog и VHDL

•VHDL обладает большей универсальностью и может быть использован не только для описания моделей цифровых электронных схем, но и для других моделей.

•Из-за своих расширенных возможностей VHDL проигрывает в эффективности

* простоте, то есть на описание одной и той же конструкции в Verilog потребуется в 3–4 раза меньше символов (ASCII), чем в VHDL.

•Как и VHDL, Verilog изначально предназначался для моделирования цифровых систем и как средство описания синтезируемых проектов стал использоваться с 1987 г. В настоящее время ведущие пакеты синтеза систем на ПЛИС, такие как продукты фирм Synopsis, Caddence, Mentor Graphics, многих производителей ПЛИС, поддерживают синтез с описания на языке Verilog.

•Создавать свои типы данных в Verilog нельзя. Основной тип данных для синтезируемых описаний: целое — integer (32-битовое со знаком).

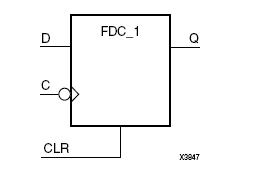
•В Verilog могут быть использованы специфические объекты (UDP, Specify-блоки), не имеющие аналогов в VHDL, а также многочисленные функции PLI (Program Language Interface).

2007 Архитектура ЭВМ 47

Динамический D-триггер (flip-flop with positive edge clock).

Verilog описание

module v\_registers\_2 (C, D, CLR, Q);



input C, D, CLR;

output Q;

reg Q;

always @(negedge C or posedge CLR)

begin

if (CLR)

Q <= 1'b0;

else

Q<=D;

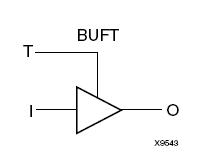
end

endmodule

2007 Архитектура ЭВМ 48

Буфер с третьим состоянием (buft).

VHDL описание



entity three\_st\_1 is

port(T : in std\_logic;

I : in std\_logic;

O : out std\_logic);

end three\_st\_1;

architecture archi of three\_st\_1 is

begin

process (I, T)

begin

if (T='0') then

O<=I;

else

O <= 'Z';

end if;

end process;

* Variant 2
* O <= I when (T='0') else 'Z';

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 2007 | end archi; | Архитектура ЭВМ | 49 |  |
|  |  |

Буфер с третьим состоянием (buft).

Verilog описание

module v\_three\_st\_1 (T, I, O);

input T, I;

output O;

reg O;

always @(T or I)

begin

if (~T)

O=I;

else

O = 1'bZ;

end

//Variant 2

assign O = (~T) ? I: 1'bZ;

endmodule

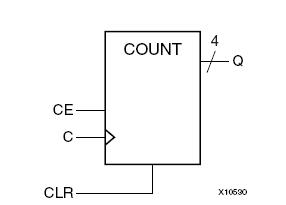
2007 Архитектура ЭВМ 50

library ieee;

use ieee.std\_logic\_1164.all; use ieee.std\_logic\_unsigned.all;

Счетчик с разрешением счета (Counter).

VHDL описание



entity counters\_5 is

port(C, CLR, CE : in std\_logic;

Q : out std\_logic\_vector(3 downto 0)); end counters\_5;

|  |  |  |  |
| --- | --- | --- | --- |
| architecture archi of counters\_5 is | |  |  |
| signal tmp: std\_logic\_vector(3 downto 0); | |  |  |
| begin |  |  |  |
| process (C, CLR) | |  |  |
| begin | |  |  |
|  | if (CLR='1') then |  |  |
|  | tmp <= "0000"; |  |  |
|  | elsif (C'event and C='1') then |  |  |
|  | if (CE='1') then |  |  |
|  | tmp <= tmp + 1; |  |  |
|  | end if; |  |  |
|  | end if; |  |  |
| end process; | |  |  |
| Q <= tmp; | | 51 |  |
| 2007end archi; | Архитектура ЭВМ |  |

Счетчик с разрешением счета (Counter).

Verilog описание

module v\_counters\_5 (C, CLR, CE, Q);

input C, CLR, CE;

output [3:0] Q;

reg [3:0] tmp;

always @(posedge C or posedge CLR)

begin

if (CLR)

tmp <= 4'b0000;

else if (CE)

tmp <= tmp + 1'b1;

end

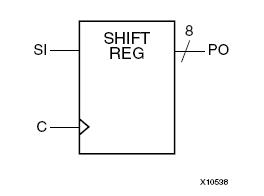
assign Q = tmp;

endmodule

2007 Архитектура ЭВМ 52

Сдвиговый регистр с последовательной загрузкой (Shift register with

serial in and parallel out).



VHDL описание

library ieee;

use ieee.std\_logic\_1164.all;

entity shift\_registers\_5 is

port(C, SI : in std\_logic;

PO : out std\_logic\_vector(7 downto 0)); end shift\_registers\_5;

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| architecture archi of shift\_registers\_5 is | | |  |  |
| signal tmp: std\_logic\_vector(7 downto 0); | | |  |  |
| begin | |  |  |  |
|  | process (C) |  |  |  |
|  | begin |  |  |  |
|  | if (C'event and C='1') then | |  |  |
|  | tmp <= tmp(6 downto 0)& SI; | |  |  |
|  | end if; |  |  |  |
|  | end process; |  |  |  |
|  | PO <= tmp; |  |  |  |
| end archi; | | Архитектура ЭВМ | 53 |  |
| 2007 |  |  |

Сдвиговый регистр с последовательной загрузкой (Shift register with

serial in and parallel out).

Verilog описание

module v\_shift\_registers\_5 (C, SI, PO);

input C,SI;

output [7:0] PO;

reg [7:0] tmp;

always @(posedge C)

tmp <= {tmp[6:0], SI};

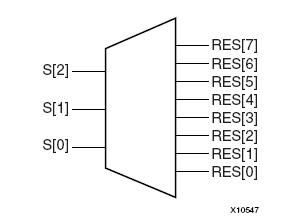
assign PO = tmp;

endmodule

2007 Архитектура ЭВМ 54

Дешифратор (Decoder).

VHDL описание



library ieee;

use ieee.std\_logic\_1164.all;

entity decoders\_1 is

port (sel: in std\_logic\_vector (2 downto 0);

res: out std\_logic\_vector (7 downto 0)); end decoders\_1;

architecture archi of decoders\_1 is begin

res <= "00000001" when sel = "000" else "00000010" when sel = "001" else "00000100" when sel = "010" else "00001000" when sel = "011" else "00010000" when sel = "100" else "00100000" when sel = "101" else "01000000" when sel = "110" else "10000000";

end archi;

2007 Архитектура ЭВМ 55

|  |  |  |  |
| --- | --- | --- | --- |
|  | Дешифратор (Decoder). |  |  |
|  | Verilog описание |  |  |
|  | module v\_decoders\_1 (sel, res); |  |  |
|  | input [2:0] sel; |  |  |
|  | output [7:0] res; |  |  |
|  | reg [7:0] res; |  |  |
|  | always @(sel or res) |  |  |
|  | begin |  |  |
|  | case (sel) |  |  |
|  | 3'b000 : res = 8'b00000001; |  |  |
|  | 3'b001 : res = 8'b00000010; |  |  |
|  | 3'b010 : res = 8'b00000100; |  |  |
|  | 3'b011 : res = 8'b00001000; |  |  |
|  | 3'b100 : res = 8'b00010000; |  |  |
|  | 3'b101 : res = 8'b00100000; |  |  |
|  | 3'b110 : res = 8'b01000000; |  |  |
|  | default : res = 8'b10000000; |  |  |
|  | endcase |  |  |
|  | end |  |  |
| 2007 | endmodule | 56 |  |
| Архитектура ЭВМ |  |

Архитектура ПЛИС типа SOPC

Варианты реализации библиотечных блоков:

Soft - ядра.

Firm - ядра.

Hard – ядра.

Назначение ядер:

Память (ОЗУ, FIFO, кэш- память, …).

АЛУ (умножители, …).

Интерфейсная логика (JTAG, PCI, SPI, UART, …).

МП и МК.

2007 Архитектура ЭВМ 57